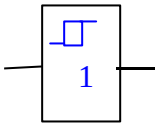
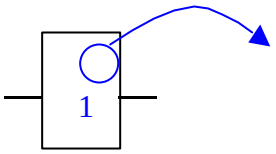
Ch1 Fonctions Logiques - Algèbre de BOOLE - Systèmes de codage

I) Fonctions logiques et algèbres de BOOLE.

1) Fonctions de base : *OUI - NON - ET - OU*



⊓ : Entrée avec TRIGGER de SCHMITT.

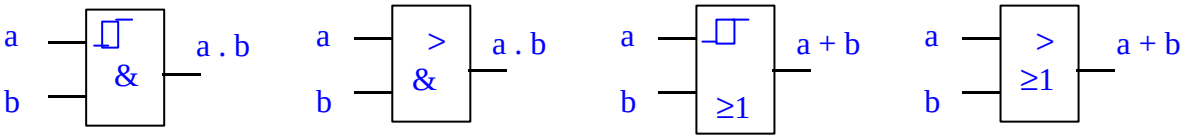


> : Sortie amplifiée (bufferisée).

⊄ : sortie à collecteur ouvert.

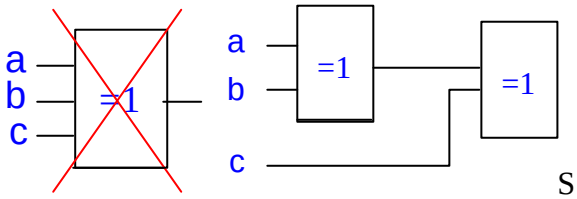
= : sortie trois états.

Fonction NON

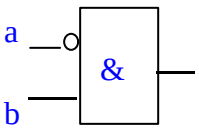


2) Fonction *OU Exclusif* et fonction *Inhibition*

S = $a \oplus b = \bar{a}\, b + a\, \bar{b}$ (va et vient).



S = $(a \oplus b) \oplus c$



S = $\bar{a}$ & b

3) Fonction *NOR* et *NAND*

3.1) Théorème de DE MORGAN

Le complément d'une somme est égal
au produit des termes complémentés

$$\overline{a+b} = \bar{a}\ \bar{b}$$

Le complément d'un produit est égal
à la somme des termes complémentés

$$\overline{a \bullet b} = \bar{a} + \bar{b}$$

3.2) Fonction NOR

a	b	a+b	$\overline{a+b}$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

Pour réaliser une expression logique à l'aide de fonctions NOR il faut mettre cette expression sous la forme d' un produit de somme

Ex : S = ...

. . . . . .

Application : X = ...

Logigramme :

3.2) Fonction NAND

a	b	a • b	$\overline{a \bullet b}$
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

Pour réaliser une expression logique à l'aide de fonctions NAND il faut mettre cette expression sous la forme de somme de produits

Ex : S = ...

. . . . . .

Application : X = ...

Logigramme :

4) Rappels des propriétés de l'algèbre de BOOLE

4.1) Somme

4.2 Produit

a + 0 = a	Element neutre	a . 1 = a
a + 1 = 1	Element absorbant	a . 0 = 0
a + a = a	Idem potence (redondance)	a . a = a
a + $\bar{a}$ = 1	Propriété du complément	a . $\bar{a}$ = 0
a + b = b + a	Commutativité	a . b = b . a
a + b + c = a + (b + c) = (a + b) + c	Associativité	a b c = a (b c) = (a b) c

4.3) Combinaisons Somme - Produit.

- Distributivité :
  - du produit par rapport à la somme : a (b + c) = a b + a c
  - de la somme par rapport au produit : a + b c = (a + b) + (a + c

* Propriété d'absorbtion : Lorsqu'une somme logique contient un terme et un de ses multiples, on peut négliger le multiple. Exemple : x + x y = x

a $\bar{b}$ + a $\bar{b}$ c d = a $\bar{b}$

x + x y + x + x $\bar{y}$ $\bar{z}$ = x

$a\,b + a\,b\,c + a\,b\,\bar{c}\,d = a\,b$

$x + \bar{x} + x\,y + z + x\,y\,z = 1$

* Règle du multiple du complément.

$a + \bar{a}\,b = (a + \bar{a})\,(a + b) = a + b$

$a + a\,b + \bar{a}\,b\,c + a\,b\,\bar{c} = a\,(1 + b + b\,\bar{c}) + \bar{a}\,b\,c = a + b\,c$

4.4) Propriétés de la somme modulo 2.

$a \oplus a = 0$ $\qquad$ $\bar{a} \oplus a = 1$

$a \oplus 0 = a$ $\qquad$ $a \oplus 1 = \bar{a}$

Commutativité : $a \oplus b = b \oplus a$

Associativité : $(a \oplus b) \oplus c = a \oplus (b \oplus c)$

Complément : $\bar{a} / \bar{b} = a / b$ $\qquad$ $\overline{a \oplus b} = \bar{a} / b = a / \bar{b}$

5) Simplification des équations et des circuits logiques.

Dés que l'on dispose de l'expression d'un circuit logique, il peut être possible de la minimiser pour obtenir une équation comptant moins de termes ou de variables par terme. Cette simplification peut se faire de deux façons différentes :

- par l'utilisation des théorèmes de l'algèbre de BOOLE;
- par l'utilisation des tableaux de KARNAUGH.

Dans les deux cas, il est indispensable d'exprimer l'équation sous la forme d'une somme de produits.

Remarque : Le signe de complémentation ne peut pas surmonter plus d'une variable à la fois.

5.1) Simplification par l'algèbre de BOOLE.

$P = (a + \bar{b})\,(b + \bar{c})\,(c + \bar{a})$ $\qquad$ $Q = (a + b + c)\,(a + \bar{b} + c)\,(a + \bar{b} + \bar{c})$

$R = a\,b\,c + a\,\bar{b}\,\overline{(\bar{a}\ \bar{c})}$ $\qquad$ $S = \bar{a}\,c\,\overline{(\bar{a}\ b\,d)} + \bar{a}\,b\,\bar{c}\,\bar{d} + a\,\bar{b}\,c$

$T = a\,b\,c + a\,b\,\bar{c} + a\,\bar{b}\,c$ $\qquad$ $U = (\bar{a} + b)\,(a + b + d)\,\bar{d}$

$V = (a + b)\,(a + c) + (b + c)\,(b + a) + (c + a)\,(c + b)$

5.2) Simplification par les tableaux de KARNAUGH.

Rappel : Les tableaux de KARNAUGH permettent la simplification des équations logiques. Ils comportent 2^n cases, n étant le nombres de variables d'entrée, organisés selon le code GRAY. (ex : 4 variables donnent 16 cases).

Chaque case correspond à une combinaison possible des variables d'entrée;

Chaque combinaison exprimée dans l'équation sera représentée par un « 1 » dans la case correspondante.

Il est ensuite possible de regrouper les cases par 2, 4, 8, 2^n afin d'éliminer les variables qui change d'état dans le regroupement : - un regroupement de 2 cases élimine 1 variable;

- un regroupement de 2^x cases élimine x variables.

Simplifier les équations suivantes :

$T1 = x\ y\ z + x\ y\ \bar{z} + \bar{x}\ y\ \bar{z} + \bar{x}\ y\ z$

$T2 = x\ \bar{y}\ \bar{z} + x\ y\ \bar{z} + x\ y\ z + x\ y\ \bar{z}$

$T3 = y\ w + z\ w + \bar{z}\ w + \bar{x}\ y\ \bar{z}\ \bar{w} + x\ y\ \bar{z}$

$T4 = x\ y\ z + z\ (\ x\ \bar{y} + \bar{x}\ y\ )$

5.3) Réalisation de logigrammes.

Réaliser les logigrammes, uniquement en portes NAND (à deux entrées) puis en portes NOR (à deux entrées) correspondant aux équations suivantes :

$N = a\ \bar{d} + \bar{d}\ b + \bar{c}\ b + c\ \bar{a}$ $\qquad$ $M = \bar{a}\ b + b\ \bar{c} + b\ \bar{d}$

Sortir les équations simplifiées en utilisant les tableaux de KARNAUGH.

cd \ ab	00	01	11	10
00	1	1	1	1
01	1	1	1	1
11	0	1	1	0
10	0	1	1	0

M =

cd \ ab	00	01	11	10
00	1	0	0	1
01	0	1	1	0
11	0	1	1	0
10	1	0	0	1

N =

cd \ ab	00	01	11	10
00	1	0	0	1
01	1	1	1	1
11	1	1	0	0
10	0	0	0	0

P =

cd \ ab	00	01	11	10
00	0	0	1	0
01	1	0	1	1
11	1	1	1	1
10	0	0	1	0

R =

cd \ ab	00	01	11	10
00	0	1	1	0
01	1	0	0	1
11	1	0	0	1
10	0	1	1	0

S =

cd \ ab	00	01	11	10
00	0	1	0	1
01	1	0	1	1
11	0	1	0	1
10	1	1	1	1

T =

de \ abc	000	001	011	010	110	111	101	100
00	0	0	0	1	1	1	1	0
01	0	0	0	1	1	1	1	0
11	0	0	0	1	1	1	1	0
10	0	0	0	1	1	1	1	0

H =

de \ abc	000	001	011	010	110	111	101	100
00	0	1	1	0	0	1	1	0
01	0	1	1	0	0	1	1	0
11	0	1	1	0	0	1	1	0
10	0	1	1	0	0	1	1	0

J =

de \ abc	000	001	011	010	110	111	101	100
00	1	0	0	1	1	0	0	1
01	0	1	0	0	0	0	1	0
11	0	1	0	0	0	0	1	0
10	1	0	0	1	1	0	0	1

K =

de \ abc	000	001	011	010	110	111	101	100
00	1	1	1	0	0	1	1	1
01	0	1	1	0	0	1	1	0
11	1	1	1	1	1	1	1	1
10	1	0	0	1	1	0	0	1

L =

II) Rappels sur les systèmes de codage.

2,1) Systèmes binaires.

En binaire, on distingue trois principaux systèmes de codage :

- binaire pur : (1-2-4-8);
- binaire réfléchi : (code GRAY);
- binaire D C B ou B C D

a) Code binaire naturel.

Dans ce codage, on utilise le poids binaire de chaque chiffre en fonction de son rang. Nous pouvons faire l'analogie entre le système binaire et le système décimal.

1 9 9 9 ⟶ 1 1 1 1 1 0 0 1 1 1 1

10^3 10^2 10^1 10^0 2^{10} 2^9 2^8 2^7 2^6 2^5 2^4 2^3 2^2 2^1 2^0

b) Code binaire réfléchi.

Dans ce codage, un seul bit change d'état lorsque l'on passe d'un terme au suivant.

A l'apparition d'une variable supplémentaire on fait la symétrie du code déjà obtenu plus le nouveau bit à 1.

Le code peut se refermer sur lui-même sans perdre ses propriétés dans la mesure ou le dernier terme se situe juste avant un axe de symétrie.

Intérêt: Ce codage évite les états indéterminés lors du passage d'un terme à un autre terme adjacent.

c	b	a
0	0	0
0	0	1
0	1	1
0	1	0
1	1	0
1	1	1
1	0	1
1	0	0

c) Code binaire D C B (Décimal Codé Binaire).

Dans ce codage, chaque chiffre décimal est converti en binaire, indépendamment des autres chiffres.

1	9	9	9
0 0 0 1	1 0 0 1	1 0 0 1	1 0 0 1

Ce code est utilisé dans les systèmes traitant des nombres décimaux uniquement :

- En comptage (instruments de mesure)
- Dans les petites calculettes de poche.

Inconvénient: Il nécessite plus de bits que le binaire naturel pour coder le même nombre décimal.

2,2) Système hexadécimal.

Le codage héxadécimal est trés utilisé dans les systèmes à microprocesseur car il simplifie l'écriture des nombres binaires.

Ce codage utilise 16 symbôles [0 . . 9 et A . . F]

L'analogie avec le système décimal peur être faite .

1	9	9	9	⟶	7	C	F
10^3	10^2	10^1	10^0		16^2	16^1	16^0

Chaque chiffre héxadécimal est défini par quatre bits.

Quartet (4 bits) ⟶ 16 combinaisons;

Octet (8 bits) ⟶ 256 combinaisons.

2,3) Exercices.

Convertir en binaire, puis en hexadécimal les nombres suivants :

77						0	1	0	0	1	1	0	1		4	D
1256		0	1	0	0	1	1	1	0	1	0	0	0		4	E	8
4096	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
4095		1	1	1	1	1	1	1	1	1	1	1	1		F	F	A
255		0	0	0	0	1	1	1	1	1	1	1	1			F	F

FIN

Ch2 Etude des circuits logiques combinatoires.

1) Etude d'un comparateur binaire.

2.1) Principe de base

2.2) Présentation du circuit intégré HEF 4585 B

2.3) Réalisation d'un comparateur 12 bits.

2) Codeur - Décodeur.

2.1) Etude d'un codeur ou Encodeur.

2.2) Etude d'un décodeur. (sélecteur de sortie).

2.3 Application :

2.4) Capteurs codés.

2,4,1) Claviers.
2.4.3) Capteurs de position par codeurs rotatifs ou linéaires.
2,4,2) Roues codeuses (commutateurs rotatifs).

III) Etude d'un transcodeur binaire réfléchi / binaire naturel.

IV) Etude des multiplexeurs et des démultiplexeurs.

I) Etude d'un comparateur binaire.

1.1) Principe de base

Le principe consiste à comparer d'abord les bits les plus significatifs (Most Significant Bit ou M S B) . S'ils sont différents, il est inutile de continuer la comparaison. Par contre s'ils sont égaux, il faut comparer les bits de poids immédiatement inférieur et ainsi de suite.

Organigramme pour deux mots de deux bits.

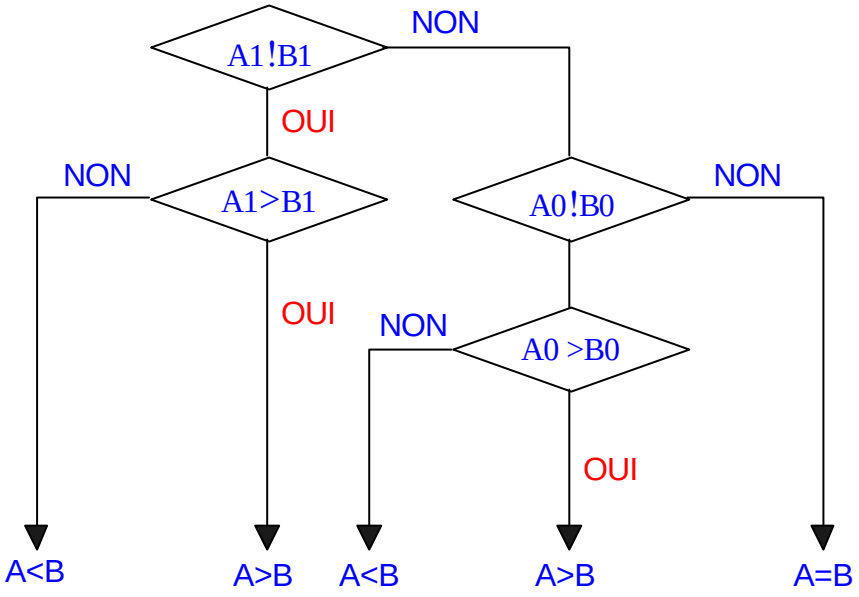


Tableau d'analyse.

a	b	E	S	I
0	0	1	0	0
0	1	0	0	1
1	0	0	1	0
1	1	1	0	0

Pour A = B : $E = a\,b + \bar{a}\,\bar{b} = \overline{a \oplus b}$

Pour A > B : $S = a\,\bar{b}$

Pour A < B : $I = \bar{a}\,b$

$E = \overline{S+I} = \overline{a \bullet \bar{b} + \bar{a} \bullet b} = \overline{a \oplus b}$

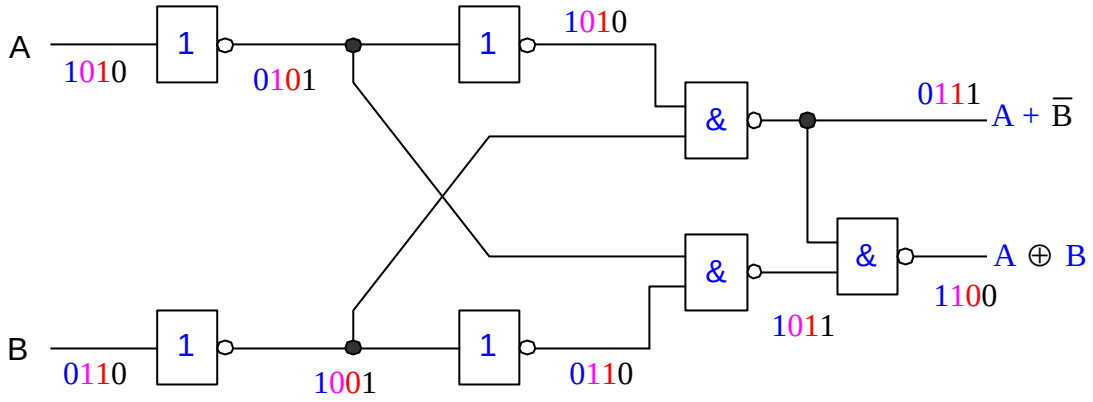
Remarque : On peut donc réaliser un comparateur à l'aide de circuits logiques.

1.2) Présentation du circuit intégré HEF 4585 B

Le circuit intégré HEF 4585B permet de comparer deux mots de 4 bits (A3à A0 et B3à B0).
Ce circuit possède trois sorties : - A supérieur à B : $O_{A>B}$
- A inférieur à B : $O_{A<B}$
- A égal à B : $O_{A=B}$

Trois entrée d'extension ($I_{A>B}$, $I_{A<B}$, $I_{A=B}$) permettent la mise en cascade de plusieurs circuits afin d'effectuer un comparaison sur des mots plus grands.

Montage de base et fonctionnement.



A ⊕ B = 0 → A = B

A ⊕ B = 1 → A ! B

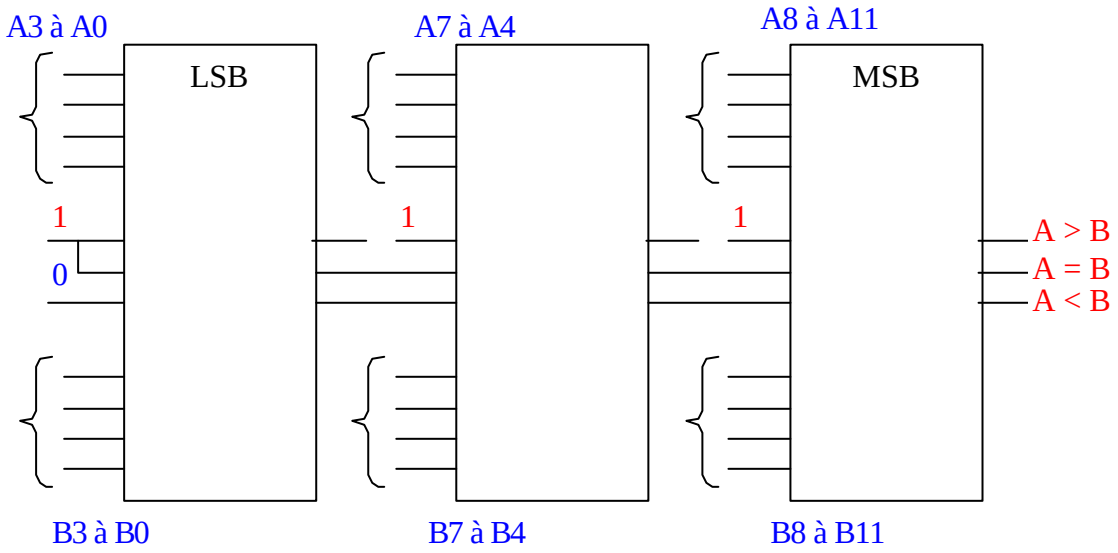
→ A + B̄ = 1 → A > B

→ A + B̄ = 0 → A < B

1.3) Réalisation d'un comparateur 12 bits.

La réalisation d'un comparateur 12 bits nécessite l'emploi de trois comparateurs montés en cascade. La mise en cascade est conditionnée par la lecture de la table de vérité qui indique quelles sont les entrées prioritaires.

Montage :



Explications :

Pour permettre les comparaisons, les entrées d'extension des positions de plus faible poids doivent être connectées comme suit : $I_{A=B}$ et $I_{A>B} = 1$, $I_{A<B} = 0$.

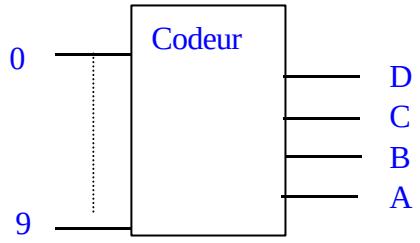
Pour des mots supérieurs à quatre bits, les circuits peuvent être mis en cascade en connectant $I_{A<B}$ à $O_{A<B}$, $I_{A=B}$ à $O_{A=B}$ et $I_{A>B}$ à 1.

II) Codeur - Décodeur.

2,1) Etude d'un codeur ou Encodeur.

C'est un circuit à N entrées dont une seulement est active et qui délivre sur n sorties (en code binaire ou autre) le numéro de l'entrée.

N	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1



$N \leq 2^n$

A = 1 + 3 + 5 + 7 + 9. .

B = 2 + 3 + 6 + 7. .

C = 4 + 5 + 6 + 7. . .

D = 8 + 9. .

2.2) Etude d'un décodeur. (sélecteur de sortie).

C'est un circuit à n entrées qui permet de sélectionner une sortie parmi N (avec $N \leq 2^n$).

Exemple : n = 2 → N <4

Entrées		Sorties			
A	b	S0	S1	S2	S3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

$\overline{S0} = \overline{A}\ \overline{B}$ ∪ $S0 = A + B$

$\overline{S1} = \overline{A}\ B$ ∪ $S0 = A + \overline{B}$

$\overline{S2} = A\ \overline{B}$ ∪ $S0 = \overline{A} + B$

$\overline{S3} = A\ B$ ∪ $S0 = \overline{A} + \overline{B}$

2.3) Application :

a) Réalisation d'un décodeur 1 parmi 32 :

On dispose de décodeurs 3 vers 8 du type 74 LS 138, donner le montage.

b) Réalisation d'un décodeur 1 parmi 256 :

On dispose de décodeur 4 vers 16 du type 74 LS 154, donner le montage.

2.4) Capteurs codés.

Il s'agit de capteurs fournissant en sortie des informations binaires sous forme de mots binaires de plusieurs bits.

2,4,1) Claviers.

Ensemble d'interrupteurs commandés manuellement pour communiquer des informations ou des ordres à une machine.

a) Disposition matricielle.

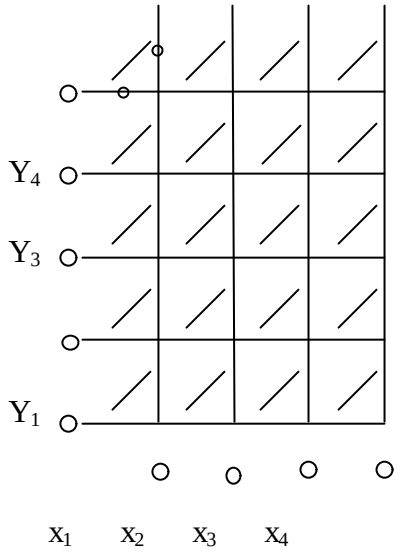
On pourrait concevoir des claviers comme un ensemble de touches commandant autant d'interrupteurs qui seraient traités individuellement.

On réalise une économie de connexions en adoptant la disposition ci-contre dite : "matricielle".

X + Y fils suffisent pour connecter X . Y fils.

Ex : X = 4, Y = 5 $\rightarrow$ 9 fils pour 20 touches

A partir de cette disposition, différentes méthodes ont été proposées pour générer un code binaire différent pour chacune des touches :
c'est ce qu'on appelle le "codage du clavier".



b) Codage binaire.

Lorsque les touches du clavier sont destinées à entrer des chiffres, (ex : portier à code) on fait suivre le clavier, à disposition matricielle, d'un codeur binaire dont le rôle consiste à délivrer en sortie, le code binaire du nombre correspondant à la touche enfoncée.

Ce code est verrouillé sur les sorties du codeur, ce qui signifie qu'il reste stable jusqu'à ce qu'une nouvelle touche soit enfoncée.

Chaque fois qu'une nouvelle touche est pressée, le codeur envoie un signal dit de "STROBE", afin d'inviter le système auquel le code est destiné à venir le prendre en compte. (Ce signal peut être aussi désigné par "DA : Data Available", ou par "signal d'invitation").

Exemple : Voir codeur de clavier 74 C 922.

c) Code ASCII. (American Standard Code for Interchange of Informations)

On appelle claviers ALPHANUMERIQUES, les claviers dont les touches représentent des nombres et des chiffres sur les machines à écrire ou les ordinateurs ...

Pour représenter l'ensemble des caractères graphiques, un code est quasiment universellement adopté, c'est le code ASCII. Il utilise 7 bits pour représenter l'ensemble des caractères et commandes.

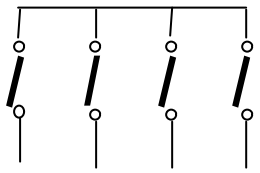
2,4,2) Roues codeuses (commutateurs rotatifs).

Ce sont des commutateurs actionnés à la main qui permettent :

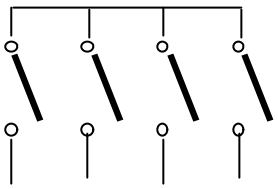
- de générer le code binaire de tout nombre * entre 0 et 9 en BCD;
  * entre 0 et F en hexa.
- d'afficher le nombre correspondant sur leur face avant.

Un élément comporte 5 broches : 4 pour les bits 1-2-4-8 et un pour le commun.

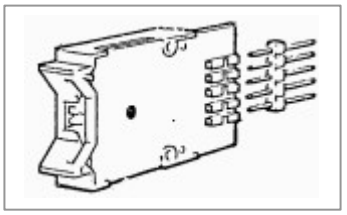
Il existe deux types de roues codeuses.



à ouverture

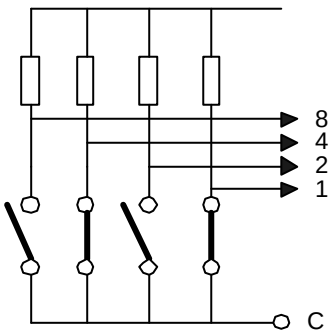


à fermeture

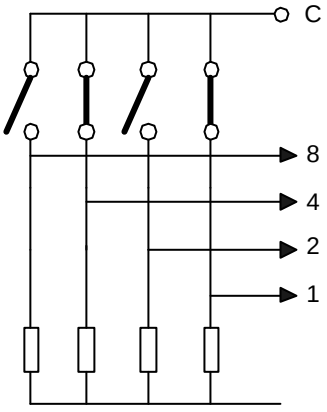


Chacun des montages peut être connecté de 2 manières.

Avec le commun au O volt



avec le commun à + V



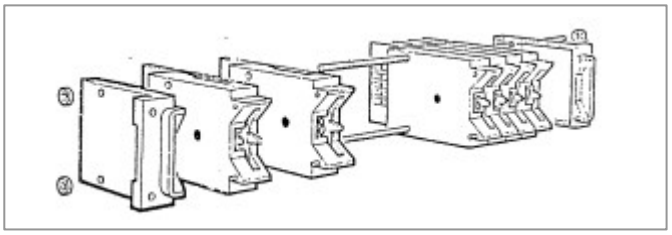
Ces deux montages fournissent des codes complémentaires.

On peut associer plusieurs roues codeuses afin de pouvoir coder des nombres plus importants.

Exemple : Heures, Minutes, Secondes.

Des butées empêchent les chiffres des dizaines de dépasser 5.

L'ensemble de 2 roues codeuses décimales fournit une information binaire sur 8 bits :



00 à 99 décimal

Il existe des roues codeuses héxadécimales (0 à F).

Deux roues fourniront, en sortie, tous les octets de 00 à FF soit de 0 à 255

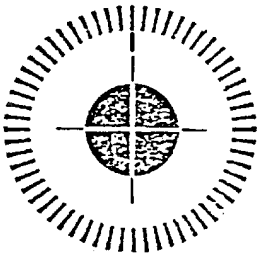
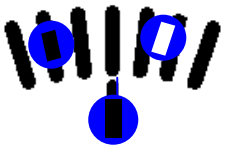
2.4.3) Capteurs de position par codeurs rotatifs ou linéaires.

Ce sont des systèmes permettant de repérer avec précision la position d'un objet sur un déplacement linéaire (capteurs de translation) ; ou circulaire (capteurs de rotation ou rotatifs).

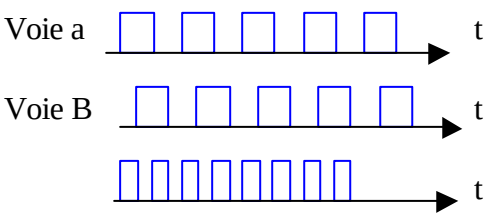
Dans chacun de ces deux types on distingue : - les capteurs incrémentaux.
- les capteurs absolus;

a) Capteur de rotation incrémental.

Le principe consiste à rendre solidaire de l'objet en déplacement, une gravure en noir et blanc, éclairée par un faisceau visible ou invisible (infra-rouge) et dont la réflexion est lue par un photo-transistor. Les transitions noir-blanc et blanc-noir créent des signaux permettant le repérage.

	 Système de lecture	Le petit trait au dessous du cercle sectorisé permet de déterminé le passage à l'origine. A partir de ce moment, l'incrémentation peut commencer. Si le disque comporte 90 transitions par 1/4 de cercle la résolution est de 1°

Le système de lecture possède trois capteurs optiques (photo-diodes et photo-transistors) qui permettent d'obtenir : - un top Zéro (repère unique sur un tour)
- 2 signaux décalés de 90°, voies A et B et éventuellement leurs compléments



Ceci permet de savoir le sens de rotation en détectant l'apparition d'une voie avant l'autre. On peut également doubler la résolution en utilisant une fonction OU exclusif.

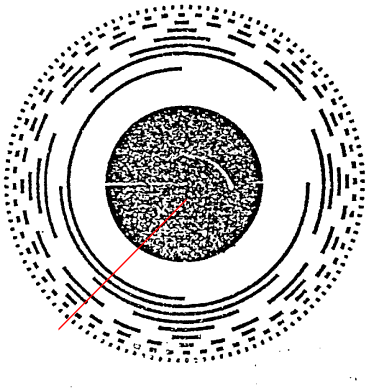
b) Codeurs absolus.

Toutes les pistes sont lues simultanément par des détecteurs photo-sensibles :

- suivant un rayon pour le capteur de rotation;
- perpendiculairement aux pistes pour le capteur linéaire.

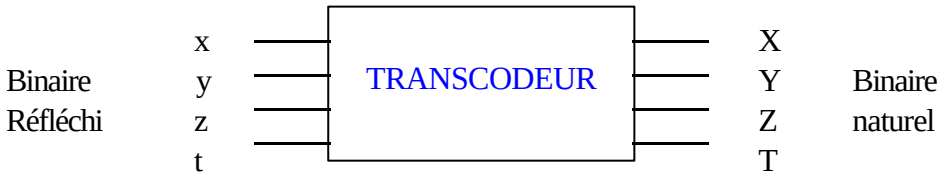
Dans chaque position, les détecteurs se trouvent devant un "blanc" ou un "noir" qui correspond, suivant le cas, à un état haut ou bas.

L'ensemble du dispositif, fournit à chaque instant, le code binaire (GRAY) correspondant à une position précise de l'objet en mouvement. Le repérage peut se faire sans référence à un passage à zéro.



III) Etude d'un transcodeur binaire réfléchi / binaire naturel.

Ce type de circuit permet de convertir une position codée en binaire réfléchi (voir codeur de position) en un nombre binaire correspondant à cette position.



Tables de vérité.

x	y	z	t
0	0	0	0
0	0	0	1
0	0	1	1
0	0	1	0
0	1	1	0
0	1	1	1
0	1	0	1
0	1	0	0
1	1	0	0
1	1	0	1
1	1	1	1
1	1	1	0
1	0	1	0
1	0	1	1
1	0	0	1
1	0	0	0

X	Y	Z	T
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1

zt / xy	00	01	11	10
00	1	2	3	4
01	8	7	6	5
11	9	10	11	12
10	16	15	14	13

Tableaux de KARNAUGH.

xy \ zt	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	1	1
10	1	1	1	1

xy \ zt	00	01	11	10
00	0	0	0	0
01	1	1	1	1
11	0	0	0	0
10	1	1	1	1

xy \ zt	00	01	11	10
00	0	0	1	1
01	1	1	0	0
11	0	0	1	1
10	1	1	0	0

xy \ zt	00	01	11	10
00	0	1	0	1
01	1	0	1	0
11	0	1	0	1
10	1	0	1	0

Equations :

$X = x \qquad Y = x\,\bar{y} + y\,\bar{x} = x \oplus y$

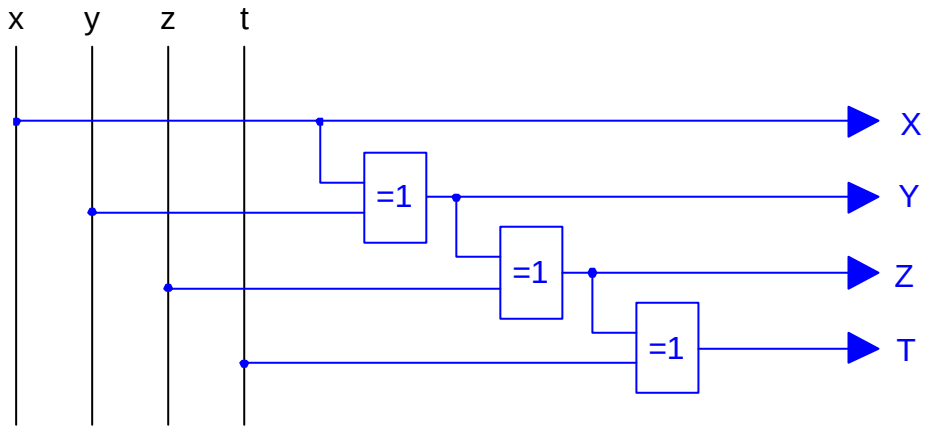
$Z = \bar{x}\,\bar{y}\,z + \bar{x}\,y\,\bar{z} + x\,y\,z + x\,\bar{y}\,\bar{z}$

$z\,(\bar{x}\,\bar{y} + x\,y) + \bar{z}\,(\bar{x}\,y + x\,\bar{y}) = z \oplus (x \oplus y)$

$T = \bar{x}\,\bar{y}\,\bar{z}\,t + \bar{x}\,\bar{y}\,z\,\bar{t} + \bar{x}\,y\,\bar{z}\,\bar{t} + \bar{x}\,y\,z\,t + x\,y\,\bar{z}\,t + x\,y\,z\,\bar{t} + x\,\bar{y}\,\bar{z}\,\bar{t} + x\,\bar{y}\,z\,t$

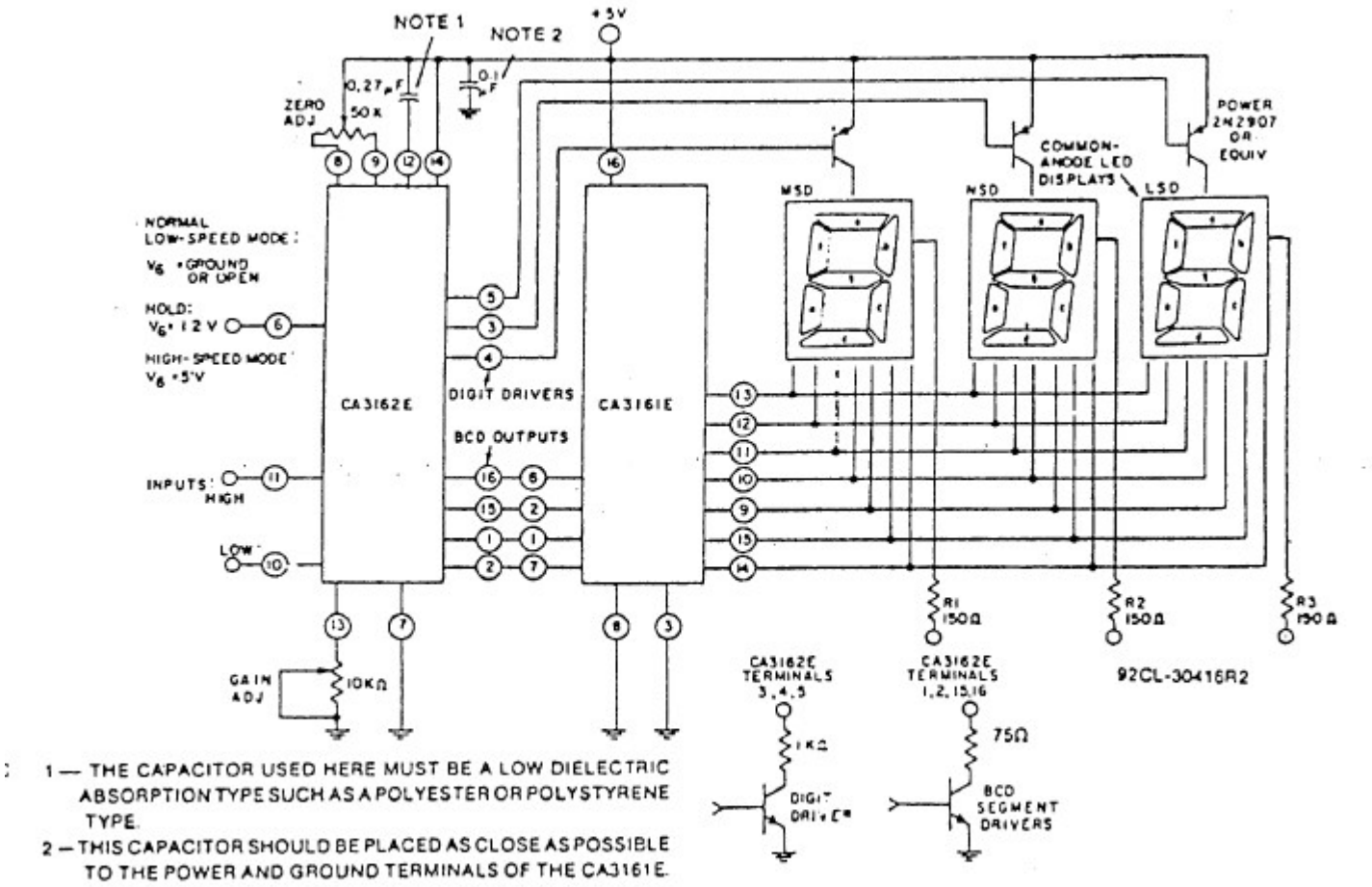
$T = t \oplus (z \oplus (x \oplus y))$

Logigrammes:



Remarque : Nous voyons apparaître une structure répétitive qui permet d'étendre à n bits ce système de transcodage.

Application sur le transcodage: Décodeur DCB / 7 segments.



IV) Etude des multiplexeurs et des démultiplexeurs.

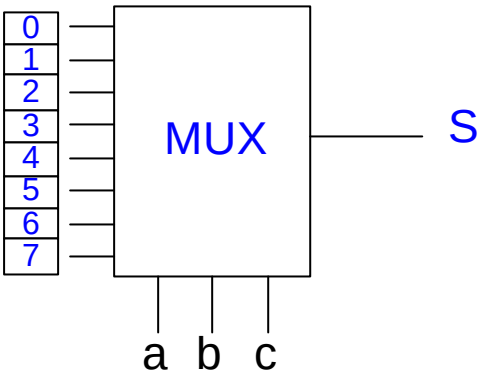
Multiplexeur : → Sélecteur de données

Demultiplexeur : → Répartiteur de données

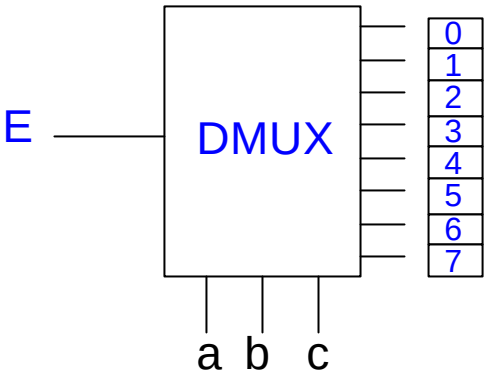
Le sélecteur de données est un circuit qui à partir d'une adresse binaire (n bits) va sélectionner l'une des 2^n entrées pour la mettre en communication avec la sortie.

Le répartiteur est un circuit qui à partir d'une adresse binaire (n bits) va aiguiller l'entrée vers l'une des 2^n sorties.

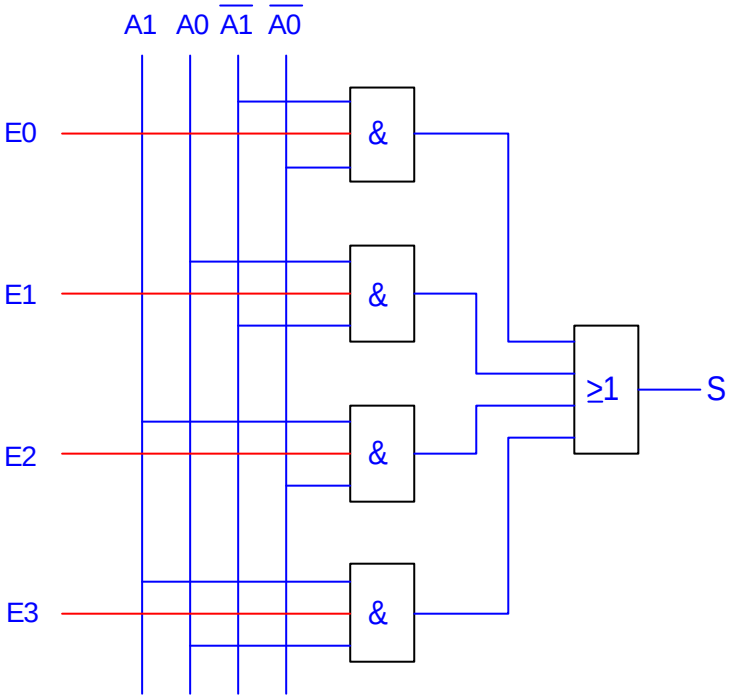
Multiplexeur

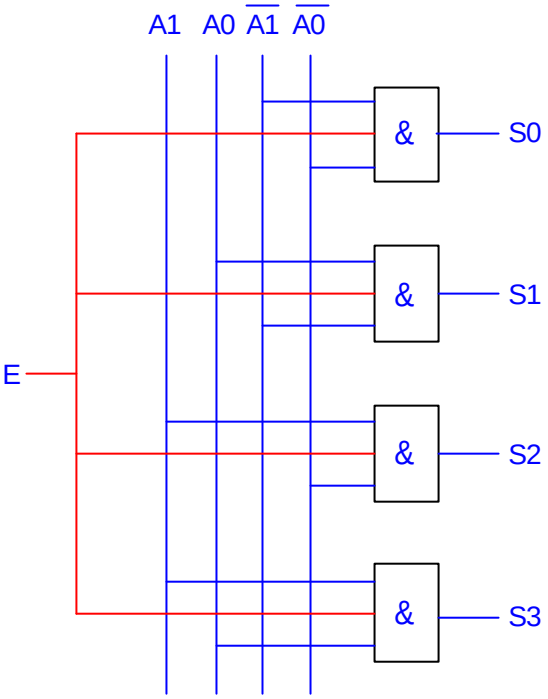


Démultiplexeur



Structure interne.

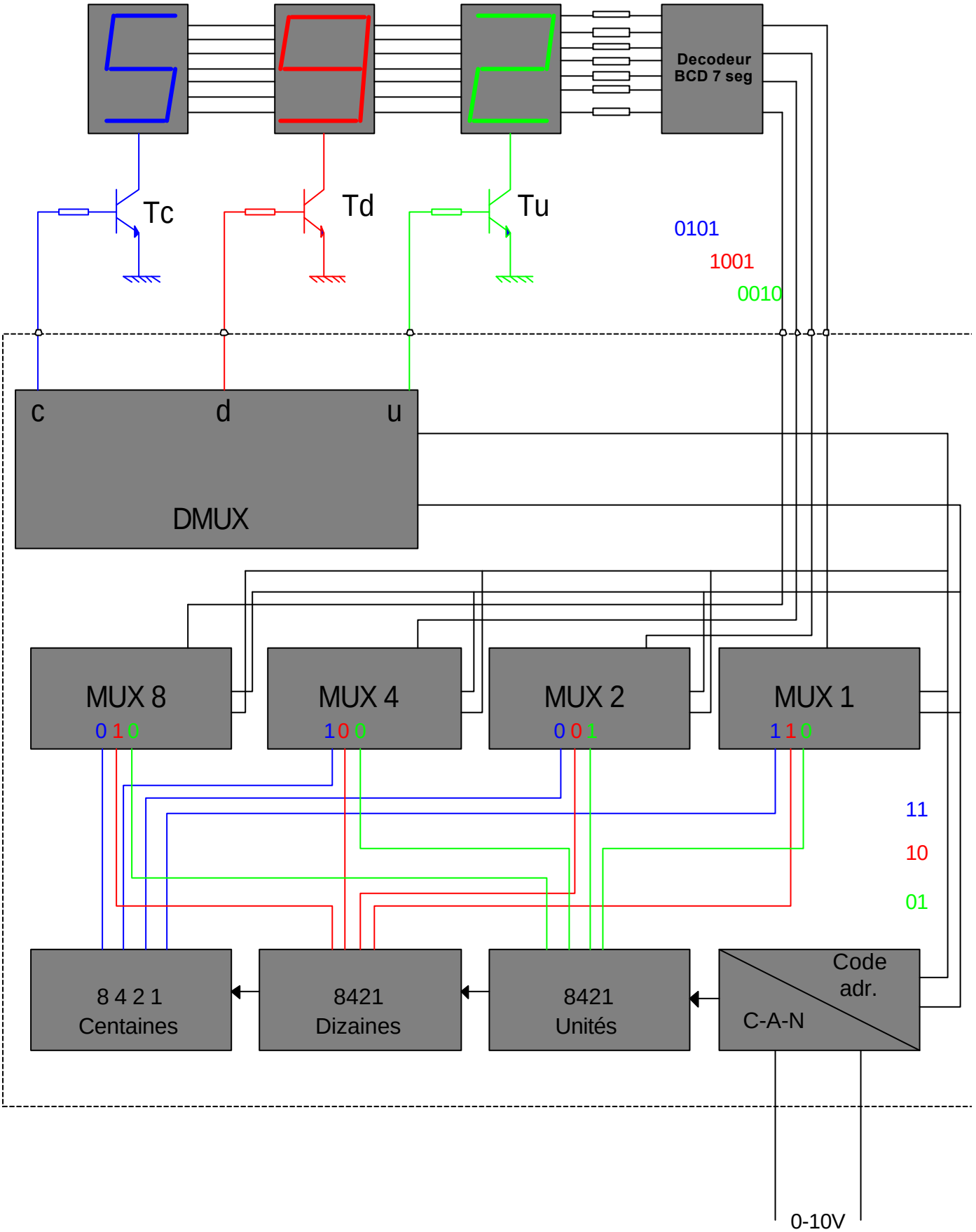




$$S = E_0 \overline{A_1}\,\overline{A_0} + E_1 \overline{A_1} A_0 + E_2 A_1 \overline{A_0} + E_3 A_1 A_0$$

$$S_0 = E \overline{A_1}\,\overline{A_0} \quad S_1 = E \overline{A_1} A_0 \quad S_2 = E A_1 \overline{A_0} \quad S_3 = E A_1 A_0$$

Application : Voltmètre numérique.



Analyse du fonctionnement.

Lorsque l'adresse 0 1 est envoyée sur les multiplexeurs, ceux-ci dirigent vers les afficheurs 7 segments les quatres sorties du compteur des unités et le démultiplexeur commande le transistor Tu, ceci permet de valider l'afficheur des unités, le décodeur DCB / 7 segments n'agira donc que sur cet afficheur.

Ensuite, l'adresse 1 0 apparaissant, ce sont les dizaines qui s'affichent puis les centaines avec l'adresse 1 1. Si la succession des adresses est suffisament rapide, l'utilisateur à l'impression que tous les afficheurs sont allumés simultanément.

Intérêts de ce système.

- 7 broches du circuit sont utilisées au lieu de 1 2 sous forme parallèle.
- 1 décodeur, 7 résistances et 3 transistors sont utilisés au lieu de 3 décodeurs, et 21 résistances sous forme parallèle.
- Un seul afficheur est allumé au lieu de 3, ce qui limite légèrement la consommation.

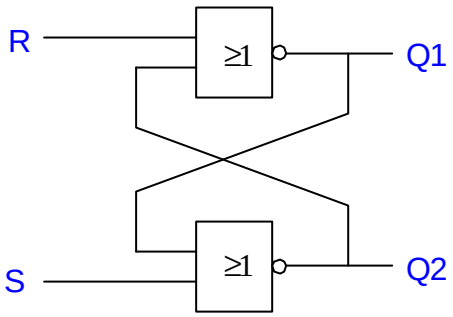
FIN

Ch 3 ETUDE DES CIRCUITS SEQUENTIELS

I) Etude des bascules.

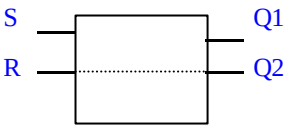
La bascule est un circuit bistable pouvant prendre deux états logiques "0" ou "1" . L'état de la bascule peut être modifié en agissant sur une ou plusieurs entrées. Le nouvel état de la bascule dépend de l'état précédent, c'est l'élément de base des circuits séquentiels. La bascule peut conserver son état pendant une durée quelconque, elle peut donc être utilisée comme mémoire.

1,1) Bascules R S et $\overline{R}$ $\overline{S}$



R	S	Q1	Q2
0	0	x	$\overline{x}$
0	1	1	0
1	0	0	1
1	1	0	0

Interdit



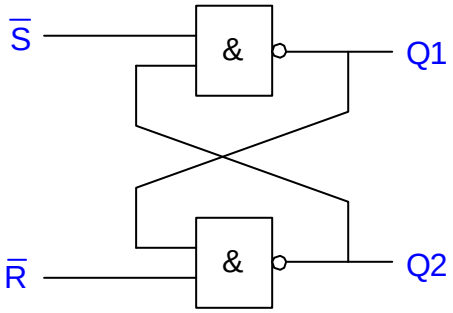
Niveau « 1 » actif

S : Set = mise à un. . .
R : Reset = mise à zéro. . .

Q1 est forcé à un par S . .
Q2 est forcé à un par R . .

Autre montage : Bascule $\overline{R}$ $\overline{S}$

Application : Anti-rebond.



R	S	Q1	Q2
0	0	1	1
0	1	0	1
1	0	1	0
1	1	x	$\overline{x}$

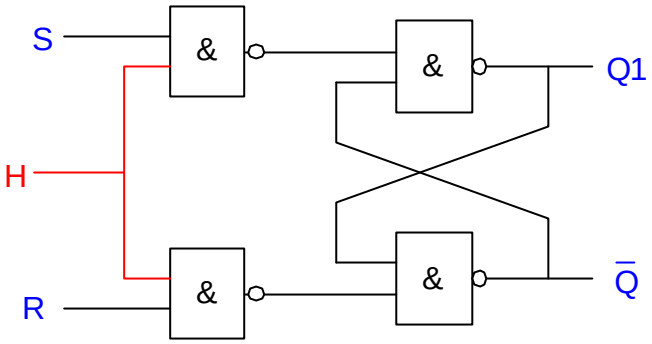
Interdit

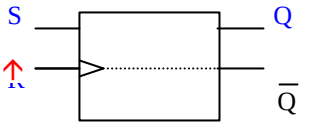
Niveau « 0 » actif

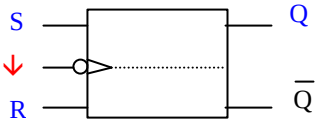
1,2) Bascule R S H (Bascule synchrone).

C'est une bascule R S dont la prise en compte de l'état des entrées est synchronisée par une impulsion d'horloge. Ceci permet d'éviter l'arrivée accidentelle de "zéro" sur R ou sur S.

Lorsque H = 0 il y a mémorisation de l'état précédent.

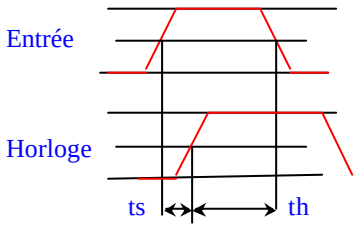






Signal d'horloge: Une bascule synchronisée peut être déclenchée sur le front montant ↑ ou sur le front descendant ↓ de l'impulsion d'horloge.

De plus, afin d'obtenir un fonctionnement correct, le constructeur indique des temps à respecter.



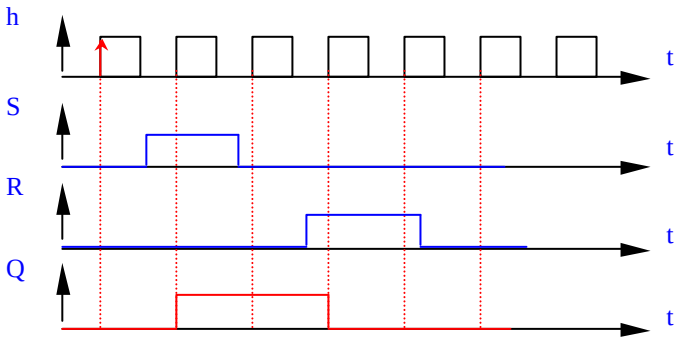
ts : temps de stabilisation .

th : temps de maintien (holding time)

Table de vérité

R	S	H	Q	$\overline{Q}$
0	0	0	x	$\overline{x}$
0	1	1	1	0
1	0	1	0	1
1	1	1	Interdit	

Chronogramme



1,3) Bascule J K synchrone.

La bascule J K synchrone (simple étage) est obtenue à partir d'une bascule R S H dont les sorties sont rebouclées sur les entrées. Ceci permet d'éliminer l'état indéterminé.

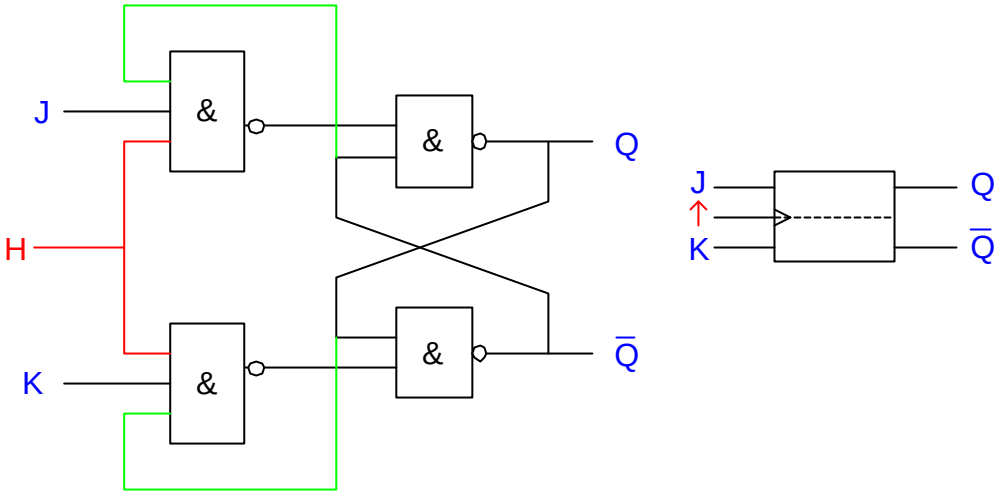
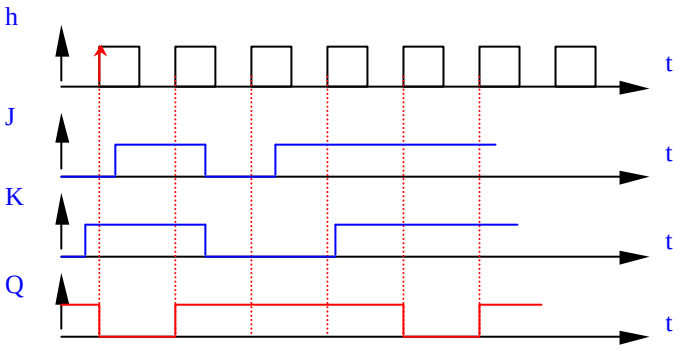


Table de vérité

R	S	Q	$\overline{Q}$
0	0	x	$\overline{x}$
0	1	1	0
1	0	0	1
1	1	$\overline{x}$	x

Chronogramme



Remarque: Pour J = K = .1. , on dit que l'on est dans le mode basculement et l'on définit la bascule « T »(Toggle). Cette bascule passe à l'état opposé à chaque signal d'horloge.

Attention: Les montages que nous avons vus sont des montages de principe qui permettent de comprendre le fonctionnement mais ils ne répondent pas à l'exigence « déclenchement sur front ».
Les bascules déclenchées sur front possèdent un circuit détecteur de front qui permet leur basculement uniquement sur un front montant ou un front descendant.

1,4) Bascule D.

A) Bascule D synchrone.

Une bascule D est réalisée à partir d'une bascule R S ou J K dont les entrées sont reliées par un inverseur. Ceci impose donc que les entrées prennent des états complémentaires.

Réalisation:

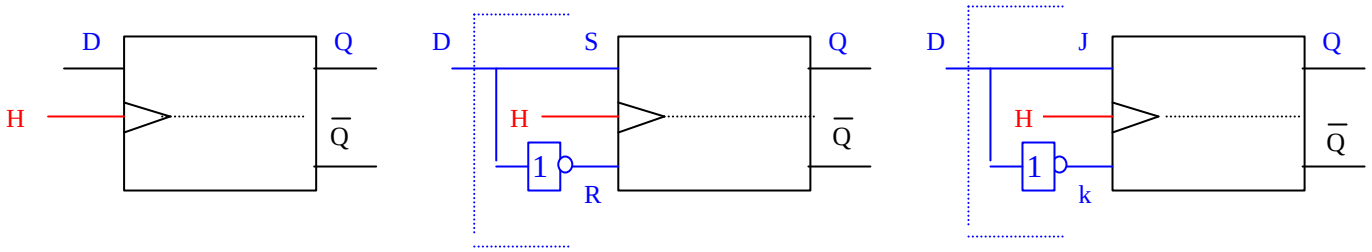
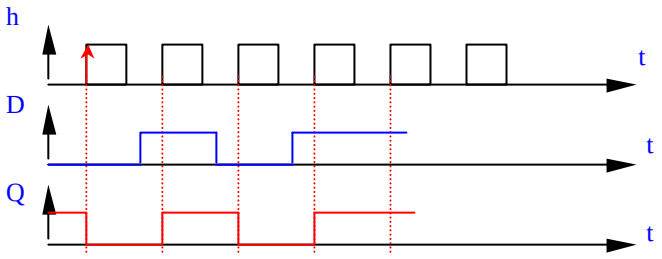


Table de vérité

D	Q
0	0
1	1

Chronogramme



Utilisation: La sortie prend l'état de l'entrée D aprés l'impulsion d'horloge. Ceci permet par exemple de synchroniser le transfert de données en parallèle. (Voir codeur de clavier).

B) Bascule D à verrouillage (Latch).

Cette bascule ne possède pas de circuit détecteur de front et la sortie Q prend donc l'état de l'entrée D tant que l'horloge est à l'état haut.

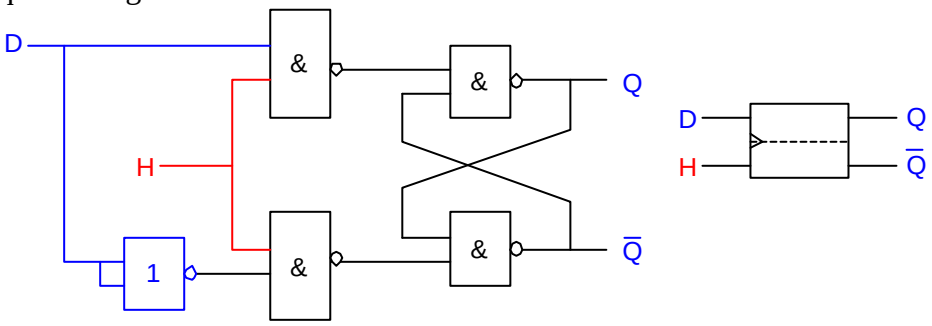
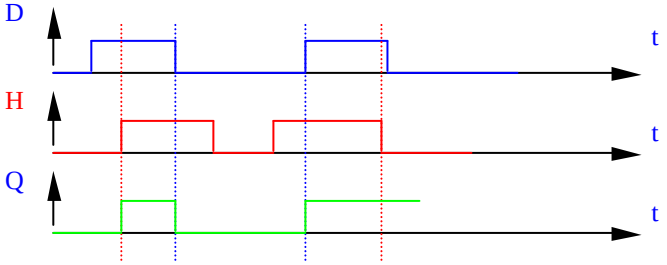


Table de vérité

D	H	Q
x	0	Qn-1
0	1	0
1	1	1

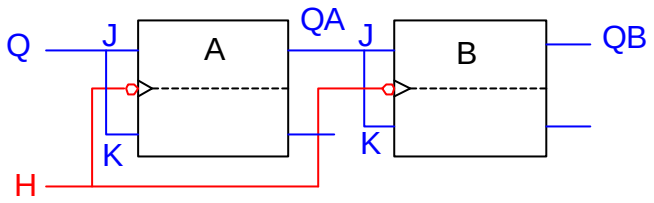
Chronogramme



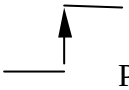
Remarque : On ne parle plus dans cette bascule de l'entrée d'horloge mais plutôt de l'entrée de validation.

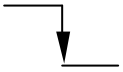
1,5) Bascule Maitre-Esclave.

Problème: Les bascules synchrones nécessitent des états stables sur leurs entrées au moment de la transition du signal d'horloge, cela n'est pas toujours possible lorsque plusieurs bascules sont cablées entre elles (ex: en comptage) et l'on a des aléas de fonctionnement.

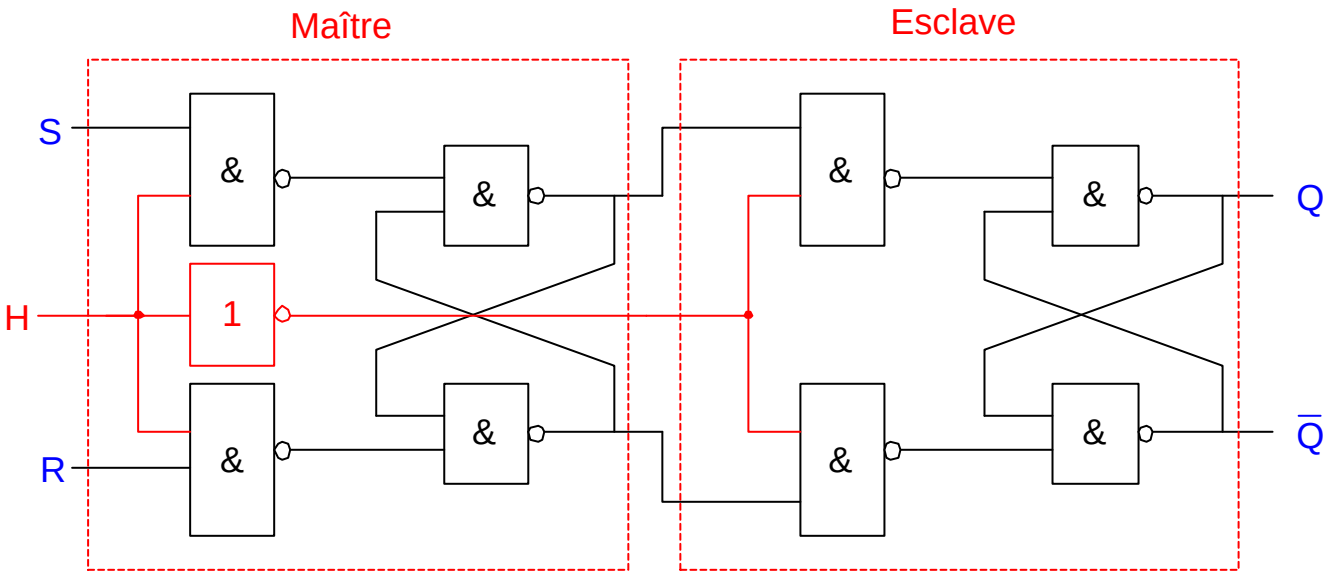


Solution: Il existe des bascules à 2 étages qui évoluent en 2 temps.

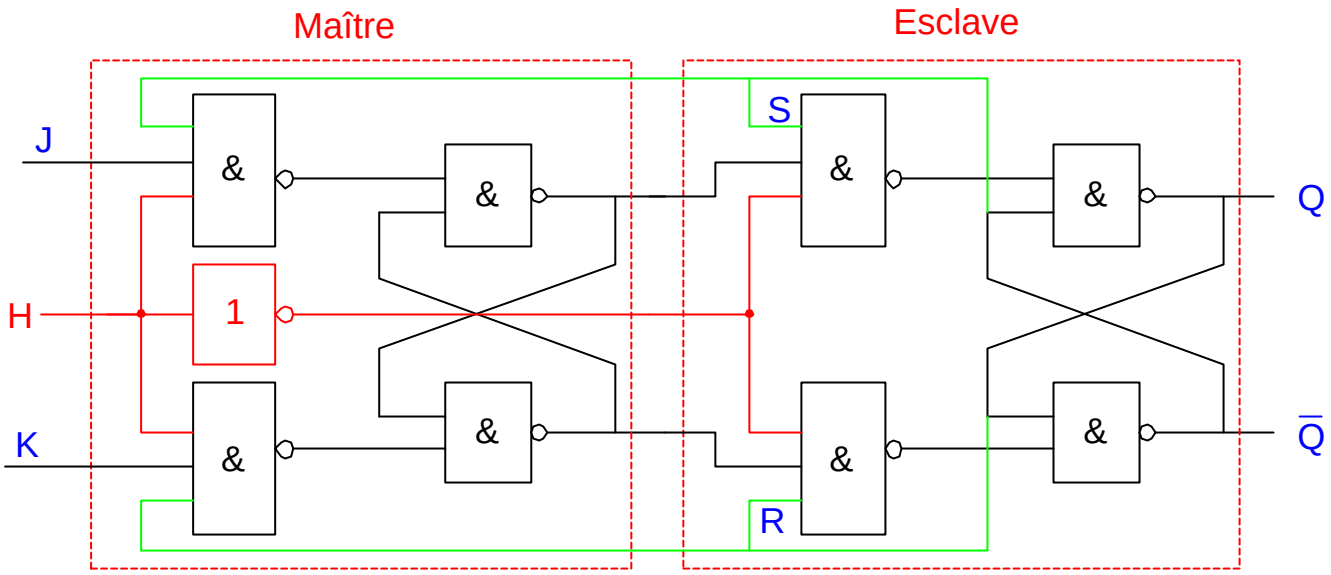
1er temps:  Verrouillage du 2ème étage
Prise en compte des entrées par le 1er étage

2ème temps  Verrouillage du 1er étage
Prise en compte des données par le 2ème étage

A) Bascule R S H Maitre-Esclave.



B) Bascule J K Maitre-Esclave.



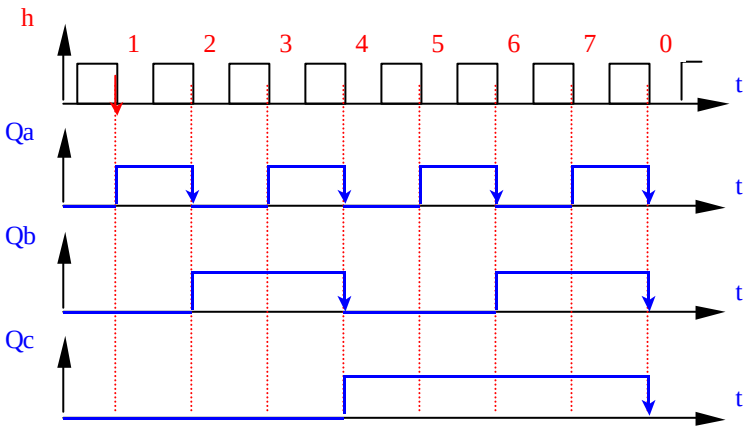
Remarque: En agissant directement sur la bascule esclave, on peut forcer à "1" ou "0" la sortie Q de la bascule J K R et S sont des entrées de forçage.

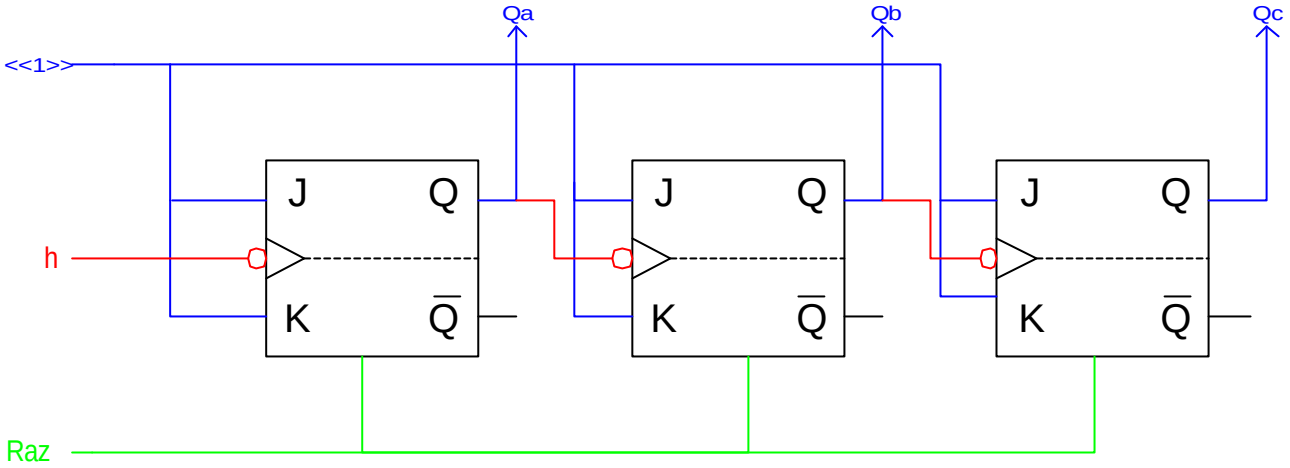
II) Etude du comptage.

2,1) Comptage / décomptage asynchrone.(Le modulo 8 nécessite 3 bascules J K)

N	Qc	Qb	Qa
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

Chronogrammes.

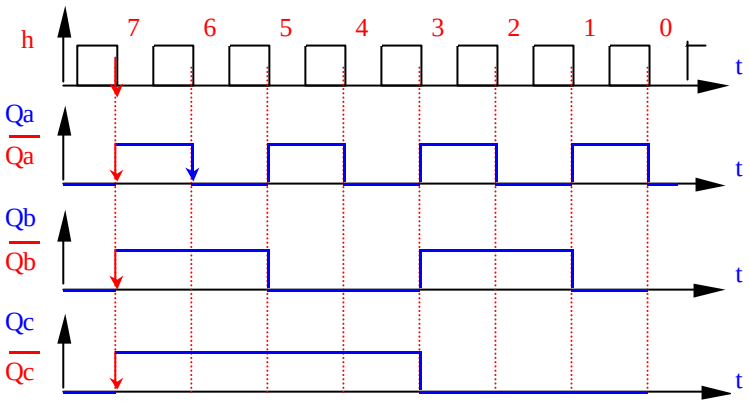


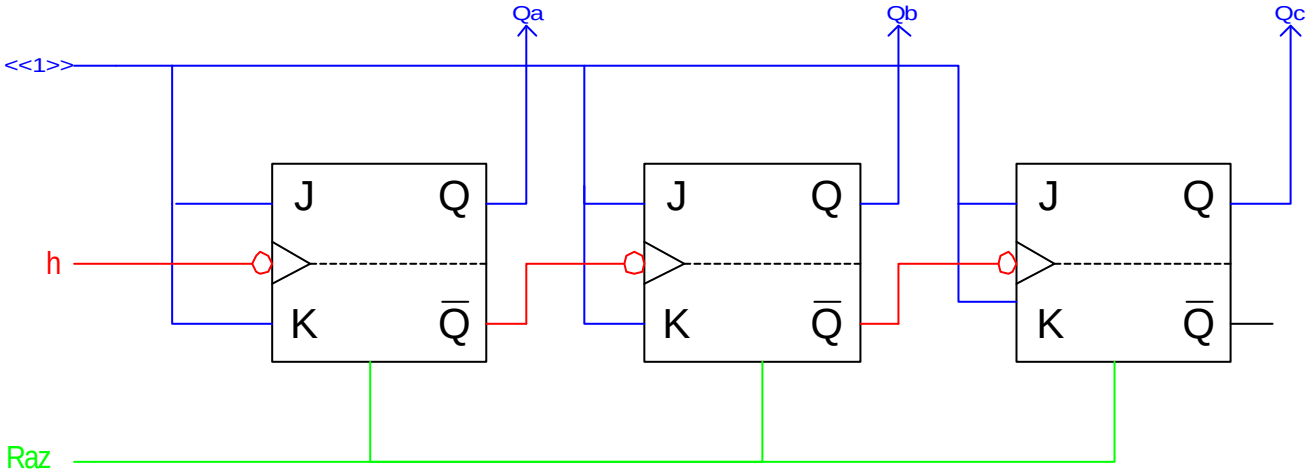


Décompteur modulo 8.

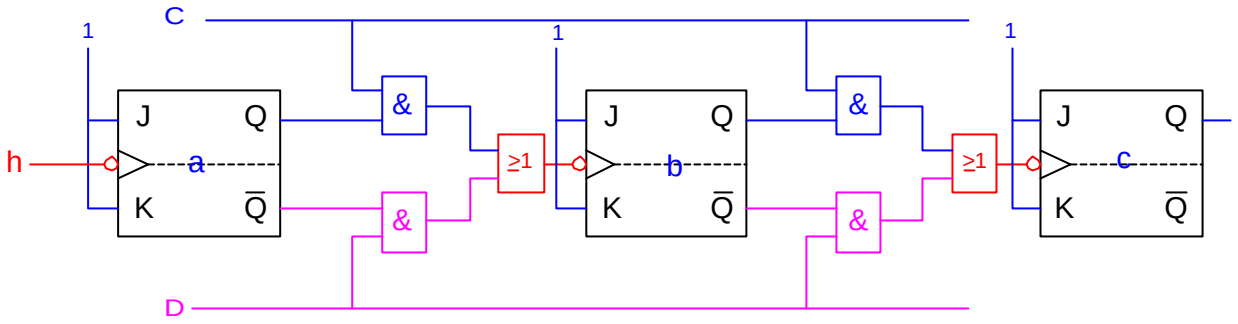
N	Qc	Qb	Qa
7	1	1	1
6	1	1	0
5	1	0	1
4	1	0	0
3	0	1	1
2	0	1	0
1	0	0	1
0	0	0	0

Chronogrammes.





c) Compteur / Décompteur modulo 8. (Hb = Comp . Qa + Décomp . Qa).



d) Compteur asynchrone modulo 10.

En général, La réalisation d'un compteur modulo 10 se fait par la remise à zéro du compteur à la $10^{ème}$ impulsion.

Ce type de compteur présente donc pendant un court instant la combinaison 1 0 1 0 (10) sur ses sorties, le temps de la remise à zéro.

Afin d'éviter cet état intermédiaire on peut anticiper l'évolution des bascules au passage de 1 0 0 1 (9) à 0 0 0 0 (0) au lieu de 1 0 1 0.

Il faut donc:
- Forcer le bit de poids fort à passer à zéro . .
- Interdire au bit de poids 2^1 de passer à « 1 ». . . . . .

Montage

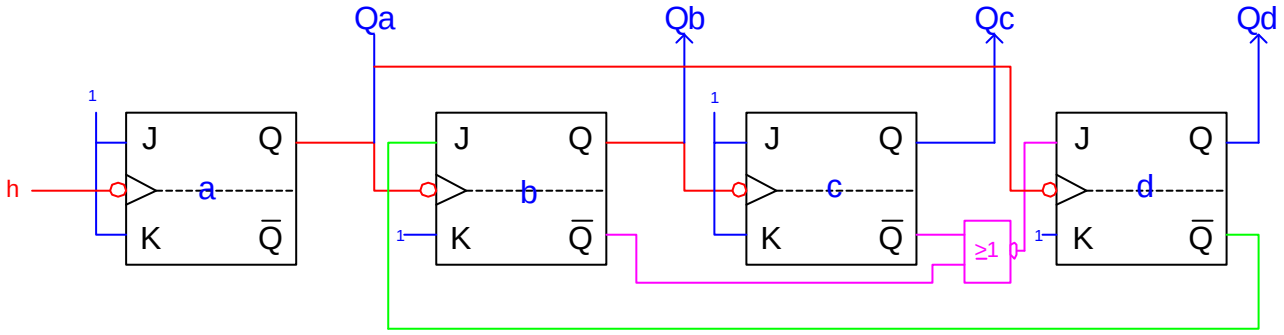
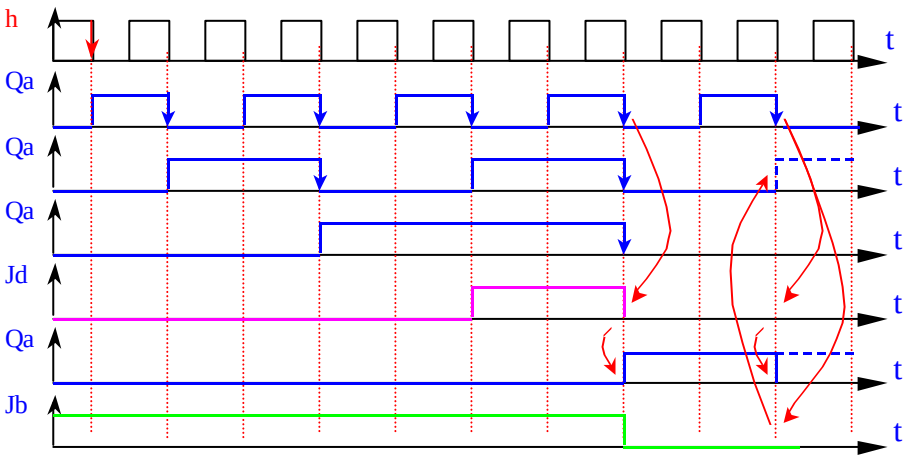


Table de vérité.

N	Qd	Qc	Qb	Qa
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	0	0

Chronogrammes.



2,2) Comptage en synchrone.

a) Compteur modulo 8 synchrone.

L'impulsion d'horloge est appliquée simultanément à chaque bascule. Celles-ci évoluent en fonction des informations présentent sur leurs entrées J, K au moment ou apparait l'impulsion. Il faut donc prépositionner J et K à l'instant t pour obtenir le basculement désiré à l'instant t+1.

J	K	Q
0	0	Q
0	1	0
1	0	1
1	1	$\overline{Q}$

Qn	Q n-1
0 →	1
1 →	0
1 →	1
0 →	0

J	K
1	x
x	1
x	0
0	x

Si QC, QB, QA, sont les sorties de trois bascules on a la table de vérité suivante:

N	Qc	Qb	Qa	Jc	Kc	Jb	Kb	Ja	Ka
0	0	0	0	0	x	0	x	1	x
1	0	0	1	0	x	1	x	x	1
2	0	1	0	0	x	x	0	1	x
3	0	1	1	1	x	x	1	x	1
4	1	0	0	x	0	0	x	1	x
5	1	0	1	x	0	1	x	x	1
6	1	1	0	x	0	x	0	1	x
7	1	1	1	x	1	x	1	x	1

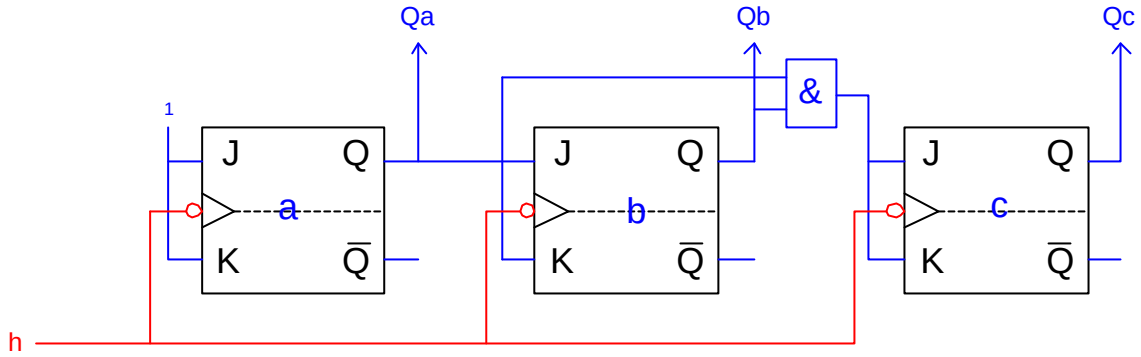
Equations: (des entrées J et K obtenues par KARNAUGH).

JA = KA = 1

JB = KB = Qa

JC = KC = Qa . Qb

Schéma:



b) Décompteur modulo 8 synchrone.

N		Qc	Qb	Qa		Jc	Kc		Jb	Kb		Ja	Ka
7		1	1	1		x	0		x	0		x	1
6		1	1	0		x	0		x	1		1	x
5		1	0	1		x	0		0	x		x	1
4		1	0	0		x	1		1	x		1	x
3		0	1	1		0	x		x	0		x	1
2		0	1	0		0	x		x	1		1	x
1		0	0	1		0	x		0	x		x	1
0		0	0	0		1	x		1	x		1	x

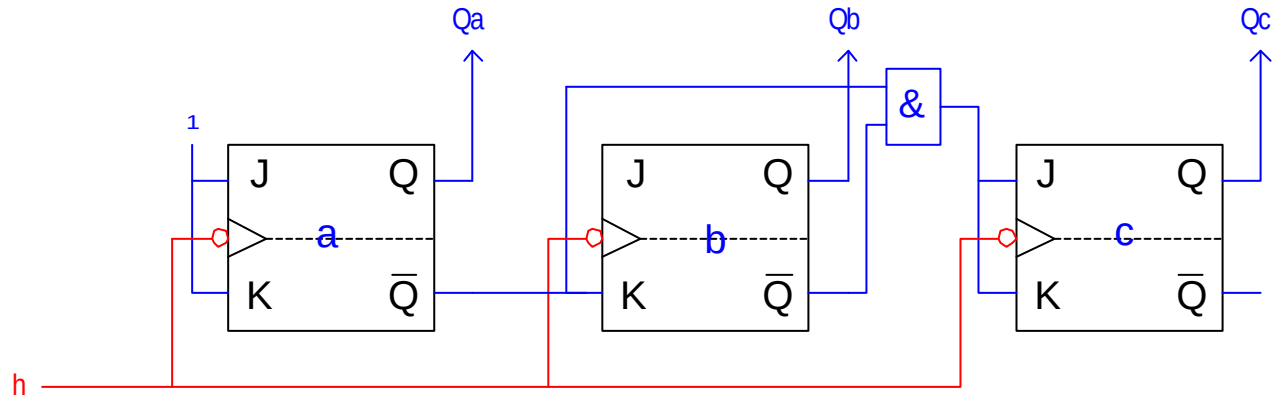
Equations: (des entrées J et K obtenues par KARNAUGH).

JA = KA = 1.

JB = KB = $\overline{Qa}$

JC = KC = $\overline{Qa} \cdot \overline{Qb}$

Schéma:



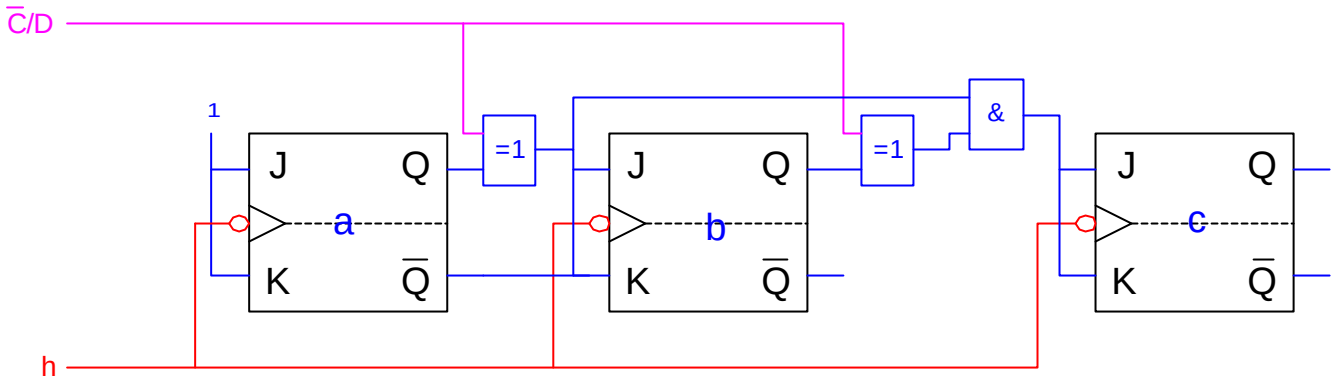
c) Compteur / Décompteur modulo 8 synchrone.

Analyse du problème En comptage C = .0. JB = KB = .Qa.

En décomptage C = .1. JB = KB = . Qa.

d'ou JB = KB = Qa . $\overline{C}$ + $\overline{Q}$ a C = Qa ⊕ C

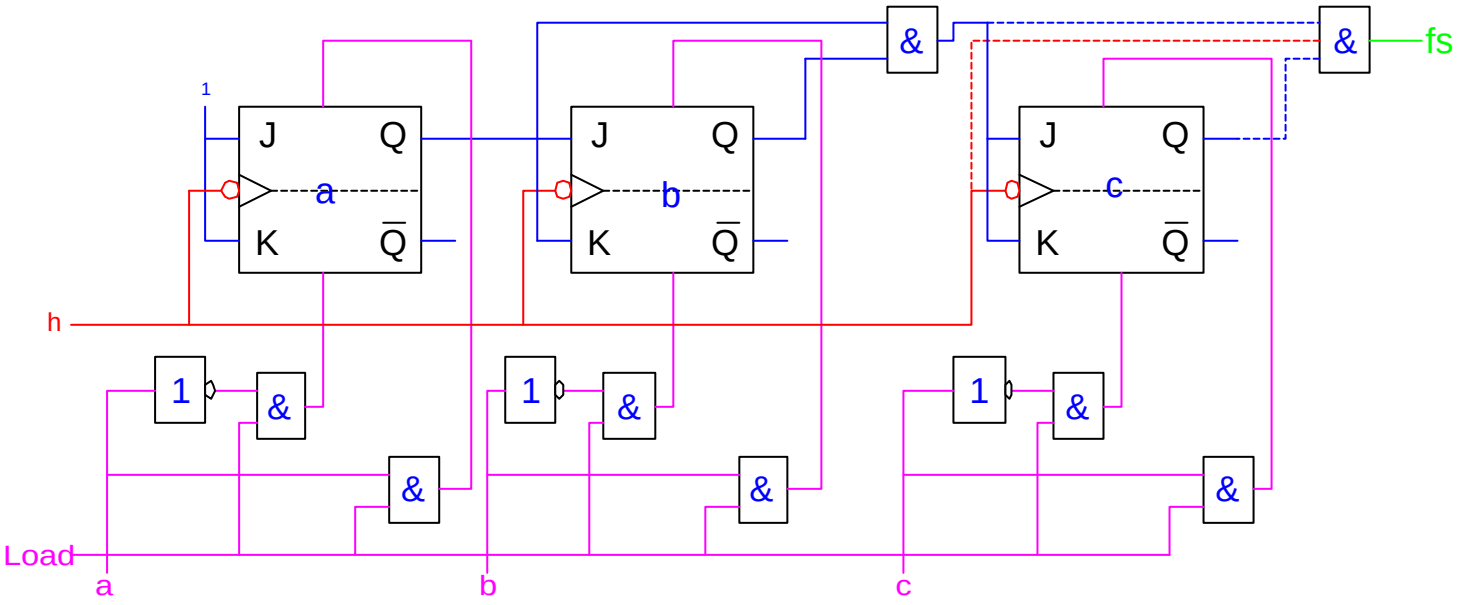
JC = KC = Qa . Qb . $\overline{C}$ + $\overline{Q}$ a $\overline{Q}$ b C = (Qa ⊕ C) (Qb ⊕ C)



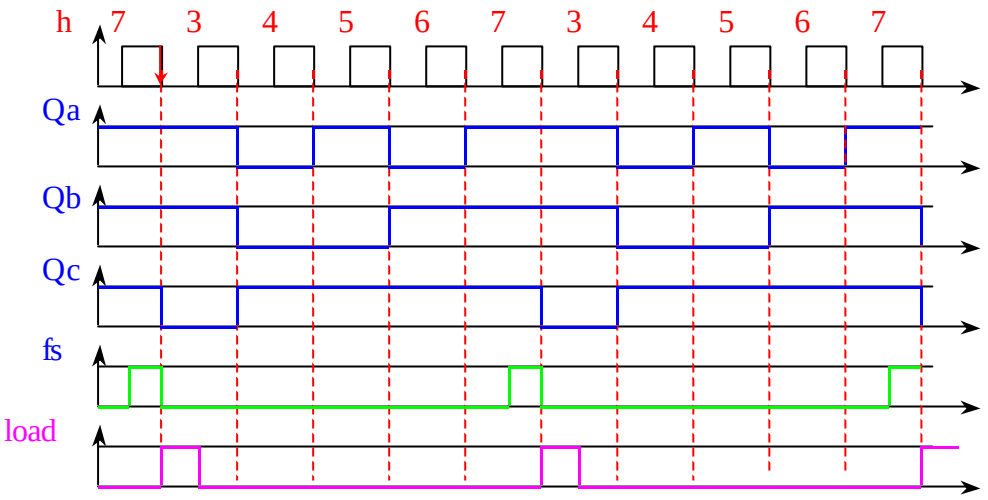
2,3) Compteur prépositionnable.

Si nous avons accés aux entrées de forçage S et R sur les bascules, nous pouvons initialiser (prépositionner) le compteur à une valeur autre que zéro. Une entrée de chargement (load) permet la prise en compte des entrées parallèles a,b,c …

Schéma.



Chronogrammes:



Application: Diviseur de fréquence différent de 2^n . (voir manipulation)

2.4) Applications sur le comptage asynchrone.

a) Tracer les chronogrammes des sorties Qa, Qb, Qc, Qd d'un compteur 74 LS 90 lorsqu'il est utilisé : - en B C D;

- en biquinaire.

b) Réaliser le schéma complet et normalisé d'un compteur modulo 60 à l'aide des compteurs 74 LS 90 et 74 LS 92 avec sortie sur afficheurs.

c)réaliser l'étude d'un compteur-décompteur synchrone modulo 10.

2,5) Réalisation de chaine de comptage (x. 4 BITS)

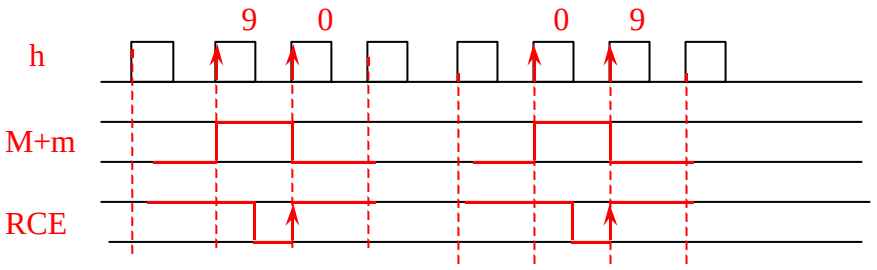
Pour réaliser des compteurs de grande capacité, on connecte des compteurs 4 bits en cascade ce qui est rendu très aisé par la présence de fonctions particulières sur certains circuits.

A) Etude du 74190 et du 74191:

Ces compteurs B C D synchrones possédent deux sorties particulières;

- RCE ou RCO : transmet le dixième front d'horloge pour la décade de poids supérieur .
- M + m : passe à 1 pour 9 en comptage et 0 en décomptage.

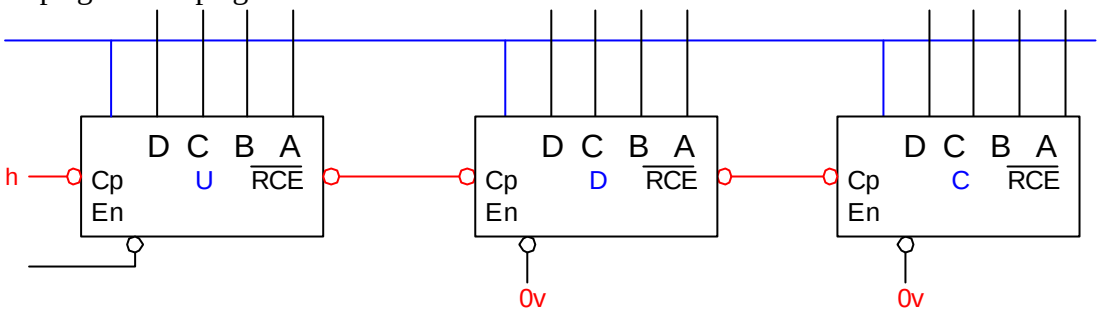
Chronogrammes:



Cette connexion peut être réalisée de 3 manières différentes.

1) Chaîne connectée en mode asynchrone

Seule la décade des unités (LSB) reçoit les impulsions à compter sur son entrée d'horloge (*CP*). Les autres décades reçoivent sur l'entrée *CP*, le signal de sortie $\overline{RCE}$ de la décade de poids inférieur. Toutes les décades sont en position de "fonctionnement autorisé", avec l'entrée $\overline{EN}$ à "0" sauf la premiere qui reçoit un ordre extérieur pour valider ou non le comptage. Enfin, toutes les décades reçoivent le signal de comptage/décomptage *UP/DOWN*.



Trois conditions sont nécessaires pour un bon fonctionnement.

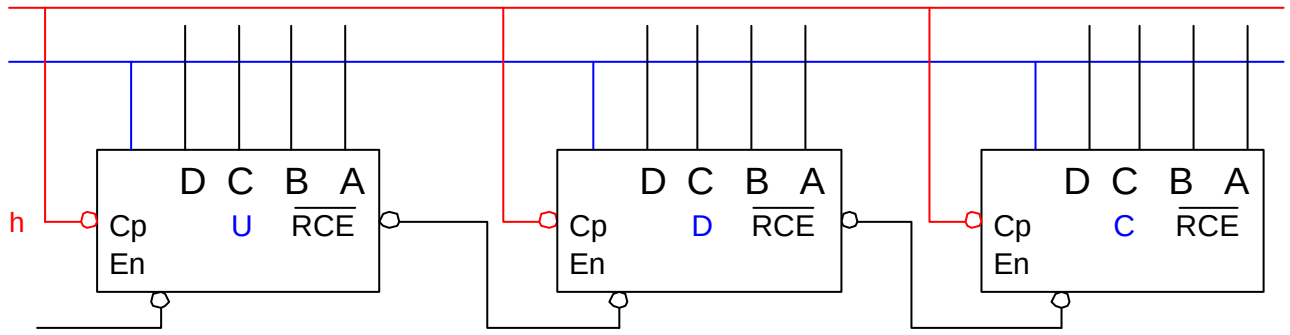
- l'état de l'entrée "*DOWN* / *UP* " ne doit pas être modifié quand le signal d'horloge est à zéro, car sinon la sortie *RCE* qui est conditionnée par l'état de *DOWN* / *UP* à travers la sortie *M+ m*, pourrait délivrer une impulsion parasite ;

- cet état de *DOWN* / *UP* ne doit pas être non plus modifié avant que le signal d'horloge ne se soit propagé jusqu'au dernier étage de la chaîne, sinon les derniers étages pourraient compter au lieu de décompter d'une impulsion (ou inversement) ;

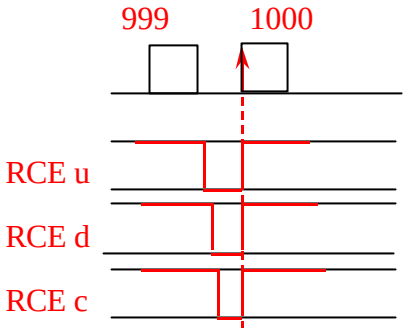
- la vitesse de fonctionnement est limitée par le temps de propagation du signal "horloge" à travers la chaine. La durée du signal d'horloge sera conditionnée par le temps de réponse des sorties $\overline{RCE}$, elle dépend aussi du nombre d'étages.

2) Chaîne connectée en mode synchrone (propagation en cascade)

Toutes les décades reçoivent simultanément l'impulsion de comptage (en *CP*). La premiere décade permet de bloquer le fonctionnement par son entrée $\overline{EN}$. La sortie $\overline{RCE}$ est utilisée pour permettre l'incrémentation de la décade de poids supérieur en validant cette-dernière par $\overline{EN}$.

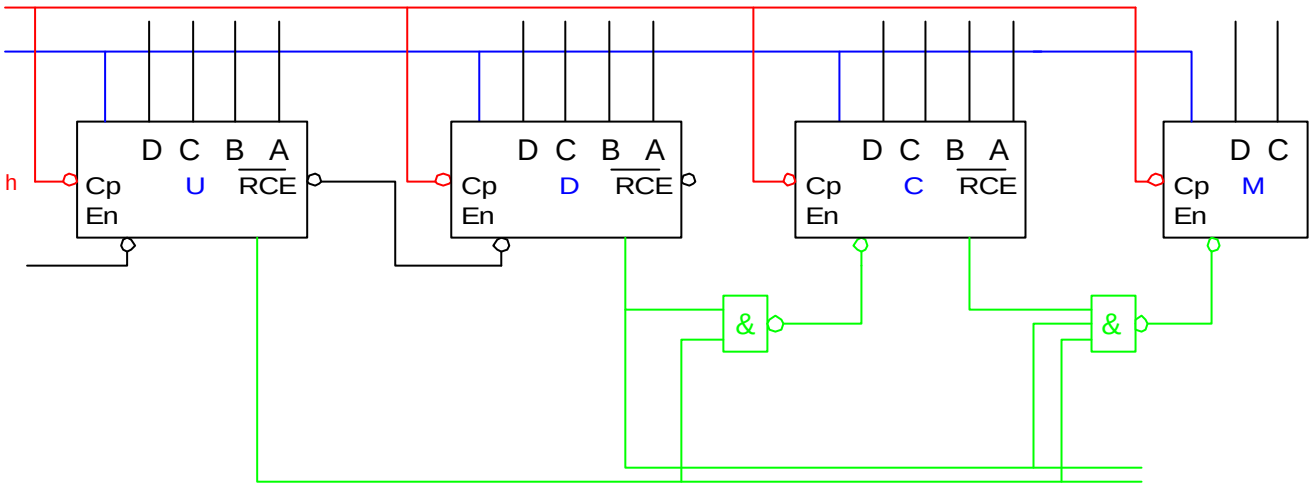


Comme une sortie $\overline{RCE}$ ne passe à zéro que lorsque l'entrée $\overline{EN}$ (c'est-à-dire ici la sortie $\overline{RCE}$ de la décade précédente) passe à zéro, il y a nécessairement un retard qui devient de plus en plus grand à mesure que le nombre d'étages croît. La fréquence de fonctionnement en sera donc limitée d'autant. On retrouve la limitation propre au report série.



3) Chaîne connectée en mode synchrone avec propagation anticipée

C'est l'organisation qui permet le fonctionnement le plus rapide, pour des bascules d'un type donné. Les impulsions de comptage sont envoyées simultanément à toutes les décades, ainsi que la commande *DOWN* / *UP*, mais l'autorisation de fonctionnement (condition sur l'entrée $\overline{EN}$) est élaborée en mettant en condition ET les états, exprimés par $M + m$, de tous les étages précédents (report parallèle).



On constate que la premiere décade reçoit un ordre extérieur sur l'entrée $\overline{EN}$, par lequel on commande l'état de toute la chaîne (validation de fonctionnement) et l'autorisation de la décade de poids supérieur est simplement obtenue à partir de la sortie $\overline{RCE}$ de la premiere décade (la sortie $\overline{RCE}$ est conditionnée par l'état de $M + m$).

La fréquence maximale de fonctionnement de cette chaîne est donc seulement limitée par un seul temps de retard, quelque soit la longueur de cette chaîne, celui de $M + m$ plus le temps de réponse d'une porte NON ET, soit au total typiquement 25 ns.

Ch 4 MISE EN FORME DES SIGNAUX

I) Mise en forme des signaux.

1.1) Circuit anti-rebond RC

1.2) Circuit anti-rebond à bascule RS

1.3) TRIGGER de SCHMITT

- Réalisation en circuit CMOS
- Réalisation à l'aide d'un AO.

II) Monostables

2.1) Réalisation à l'aide d'un AO

- Montage classique
- Montage dérivé de l'astable.

2.2) Réalisation à l'aide de circuit logiques CMOS.

- Avec des portes logiques
- Avec un circuit 4538

2.3) Réalisation à l'aide de circuit logiques TTL 74121

III) ASTABLES

3.1) Réalisation à l'aide d'un A.O

3.2) Réalisation à l'aide de porte logique CMOS et TTL

3.3) Oscillateur àcircuit intégré spécialisé NE 555

3.4) Oscillateur à quatrz

3.5) Oscillateur commandé en tension (VCO)

3.6) Oscillateur à asservissement de phase

FIN

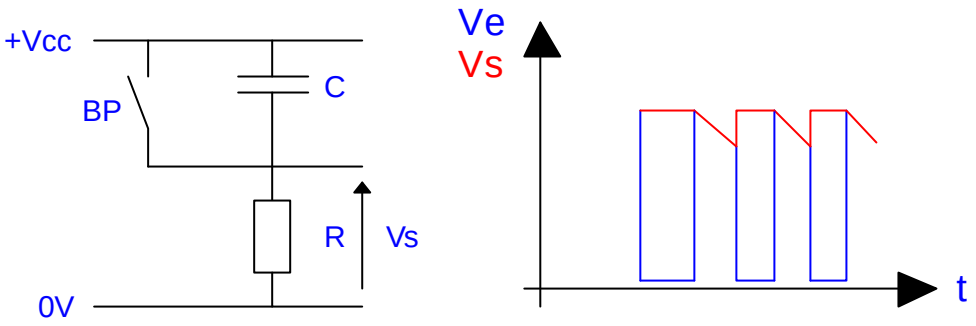
I) Montages Anti-Rebond

Le rebond des contacts est un problème qu'il faut absolument éliminer dès que l'on travaille avec des circuits logiques en comptage ou en logique programmée.

Plusieurs solutions permettent de résoudre le problème selon l'utilisation.

1.1) Circuit anti-rebond RC

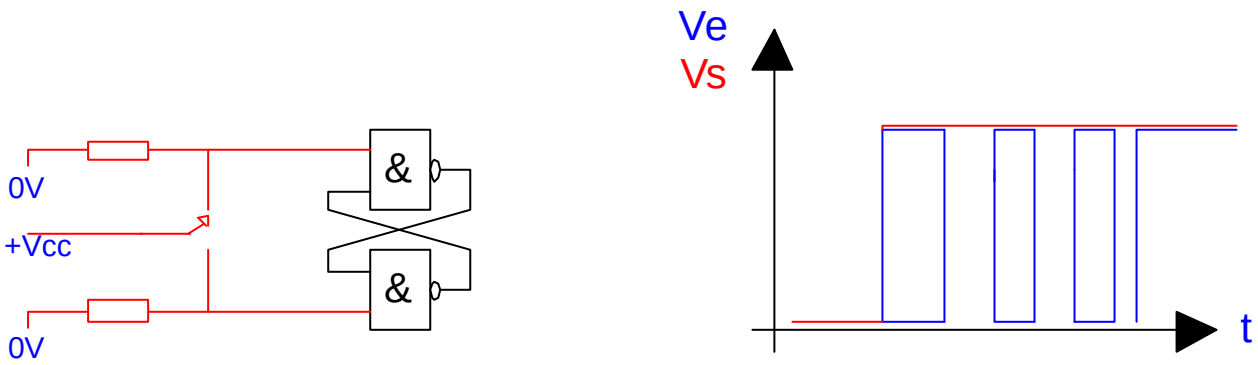
Montage : Oscillogramme :



Ce circuit a pour avantage d'être fiable et peu onéreux.

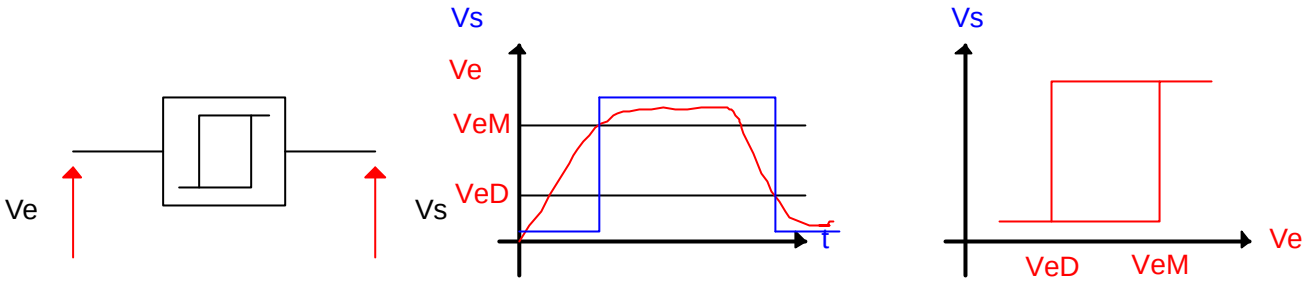
1.2) Circuit anti-rebond à bascule RS

Montage : Oscillogramme :



1.3) Circuit Trigger de SCHMITT

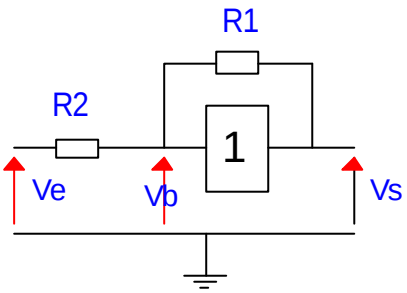
Principe :



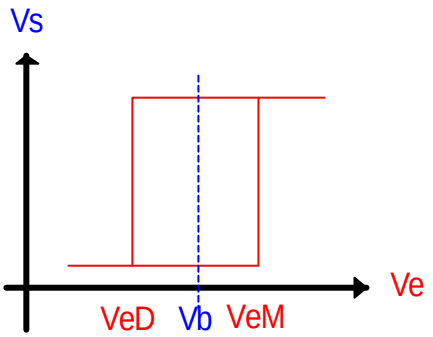
a) Réalisation à l'aide d'un circuit CMOS

Le basculement se fait pour Vb = $\frac{VDD-VSS}{2} = \frac{Vcc}{2}$

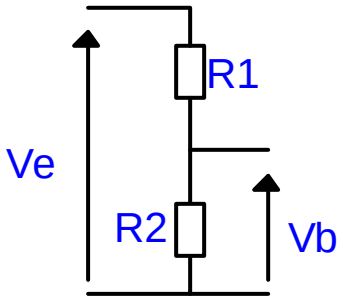
Montage :



Caractéristique de Transfert :



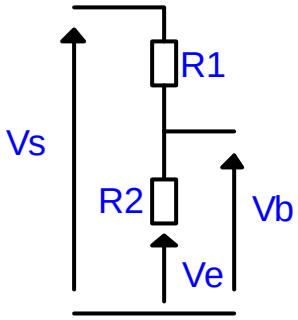
1er cas : Vs = 0 basculement pour Ve_M = ?



Vb = $\frac{VeR2}{R1+R2}$ $\Rightarrow$ Ve = $Vb\left(\frac{R1+R2}{R2}\right)$

Ve_M = $\frac{Vcc}{2}\left(\frac{R2+R1}{R2}\right)$ > Vcc / 2

2ème cas : Vs = + Vcc basculement pour Ve_D = ?



Vb = $Ve + (Vs - Ve)\frac{R1}{R1 + R2}$

Ve_D = $\frac{Vcc}{2}\left(\frac{R2 - R1}{R2}\right)$ < Vcc / 2

AN1 : On donne R1 = 470 Ω R2 = 10 R1 . . V_{CC} = 12 V. . .

Ve_M = 6 x 11 / 10 = 6.6 V Symétrie par rapport à

Ve_D = 6 x 9 / 10 = 5.4 V Vcc / 2 soit 6 V

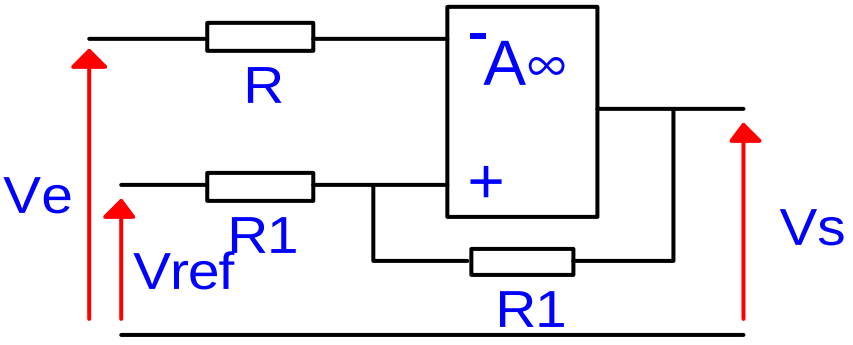
AN2 : On donne Ve_M = 10 V VeD = 2 v (symétrie par rapport à Vcc / 2)

R2 = 10 k Ω (R1 + R2) / R2 = 1.67 ⇒ R1 = 6,7 k

b) Réalisation à l'aide d'un A.O

Il faut réaliser une contre réaction positive. Le point de basculement peut être réglable.

- Trigger de SCHMITT inverseur R = R1 // R2



.

1er cas : V_S = + Vsat

VeD = $\frac{VsatR1}{R1+R2}+\frac{VrefR2}{R1+R2}$

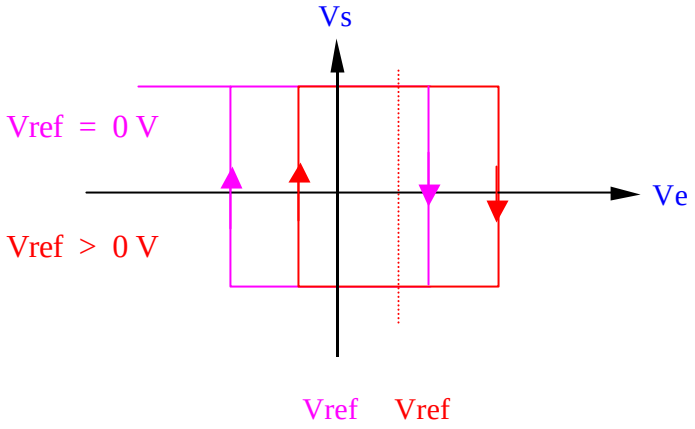
2ème cas : V_S = - Vsat

VeM = $\frac{-VsatR1}{R1+R2}+\frac{VrefR2}{R1+R2}$

Caractéristique de transfert pour Vref = O V

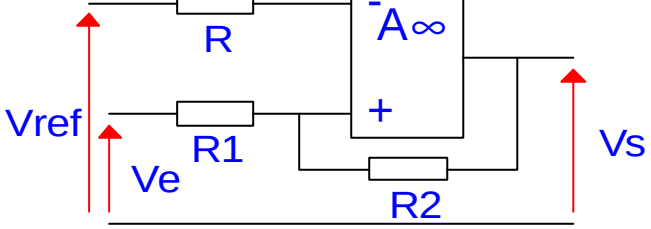
Ve_D = $\frac{VsatR1}{R1+R2}$

Ve_M = $\frac{-VsatR1}{R1+R2}$

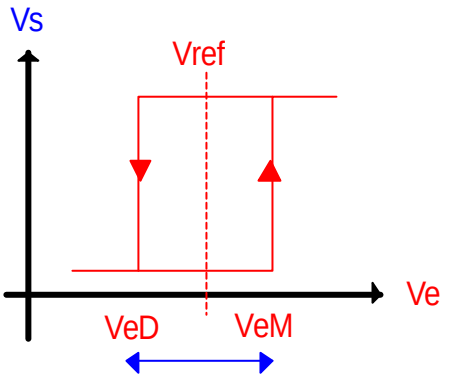


Largeur du cycle. $\frac{2VsatR1}{R1+R2}$

* Trigger de SCHMITT non inverseur



Caractéristique de transfert :



$\frac{2VsatR1}{R2}$

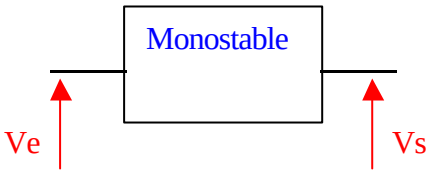
VeM = Vref $\frac{(R1+R2)}{R2}$ + Vsat $\frac{R1}{R2}$

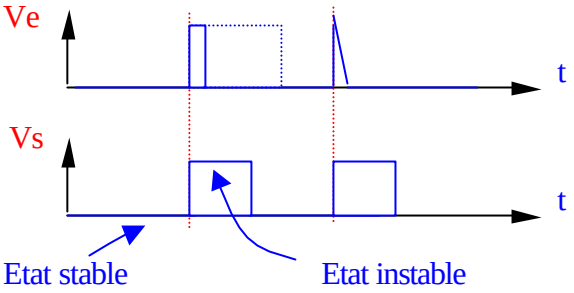
VeD = Vref $\frac{(R1+R2)}{R2}$ - Vsat $\frac{R1}{R2}$

II) Etude des monostables

Les monostables sont des temporisateurs de courte durée qui permettent de :

- rendre un signal furtif exploitable ;
- créer un signal à partir d'un front.



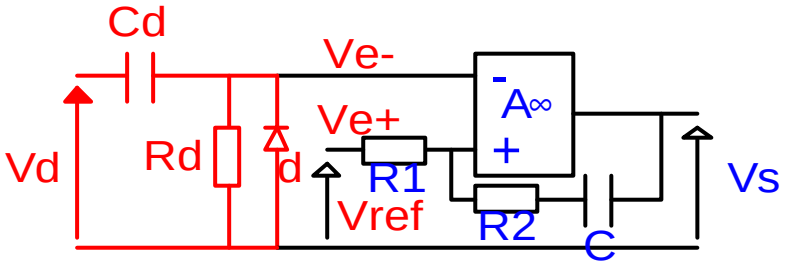


Ils peuvent être réalisés à l'aide de circuits analogiques (A.O) ou de circuits logiques (TTL-CMOS)

2.1) Réalisation à l'aide d'un A.O

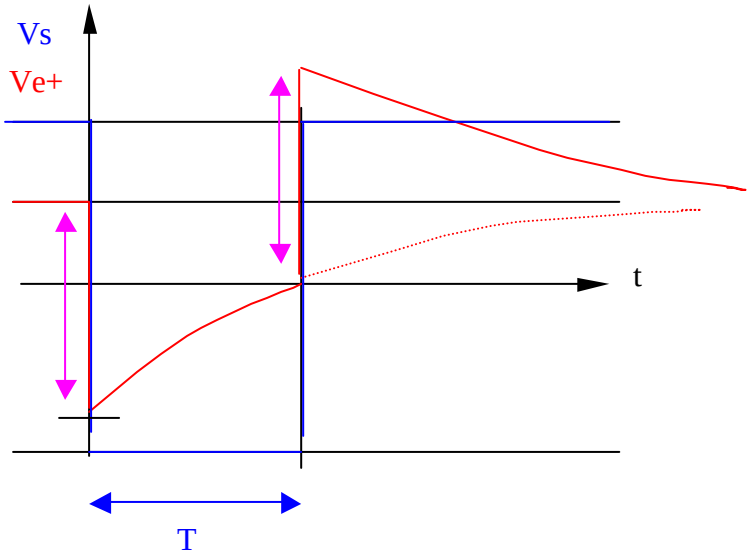
a) Etude du montage classique

Déclenchement par un circuit dérivateur → Impulsion brève



Ve- > Vref
Vs passe de +Vsat à -Vsat

Chronogramme pour Ve+



Pente : $\tau = (R1 + R2)\,C$

$$\frac{2VsatR1}{R1+R2}$$

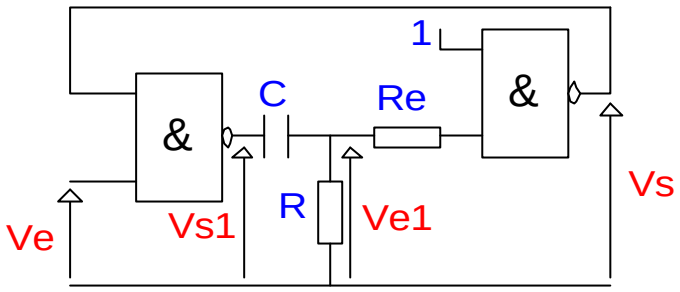
$$T = (R1+R2)C\ln\left(\frac{2Vsat}{|Vref|}\frac{R1}{R1+R2}\right)$$

b) Montage dérivé de l'astable. (voir annexe)

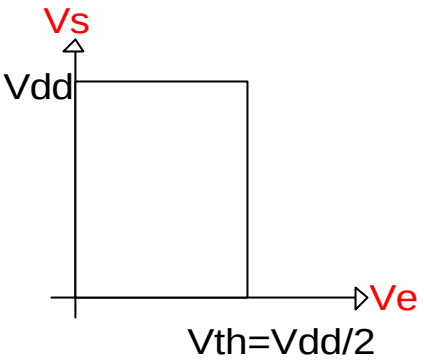
2,2) Réalisation à l'aide de circuits logiques.

a) Utilisation de portes logiques CMOS.

Montage :



caractéristique de transfert :



* Etat stable : à l'état stable, aucun courant ne circule dans le condensateur. Par conséquent :

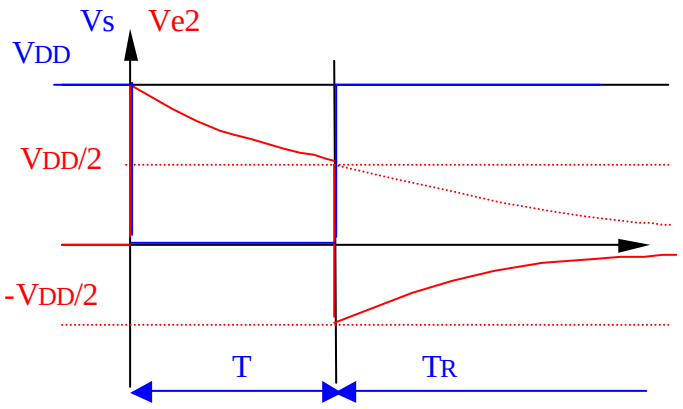
Ve_2 = 0 V et donc Vs = « 1 »

* Fonctionnement : En pratique, Ve = V_{DD} au repos; le déclenchement est obtenu par Ve = 0V

ce qui entraine : le passage à « 1 » de Vs1 et la charge du condensateur .

La charge dure jusqu'à ce que : Ve2 atteigne V_{TH}

* Chronogrammes :



Calcul de T :

$Ve2 = V_{DD}\, e^{-t/\tau}$ avec $\tau = R\,C$

à $t = T$ $Ve2 = V_{DD}/2$. .

$T = \tau \ln 2 = 0.69\ R\,C$.

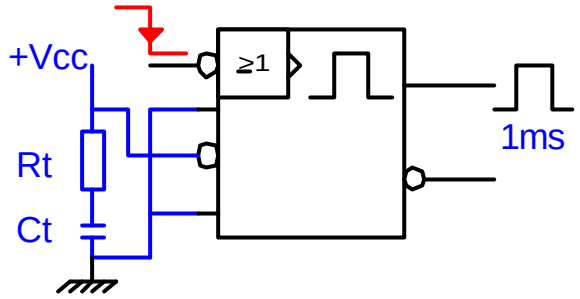
Note : Il faut tenir compte du temps de récupération avant de relancer le monostable.

T_R = 3 à 5 τ avec $\tau = R\,C$ (temps mis par une exponentielle pour « atteindre » son asymptote).

b) Utilisation d'un circuit CMOS spécialisé 4538(voir doc)

Le 4538 est un double monostable-multivibrateur de précision.

Mise en oeuvre du 4538 pour réaliser un monostable de 1ms déclenché par un front descendant.



$T = Rt\ Ct$.

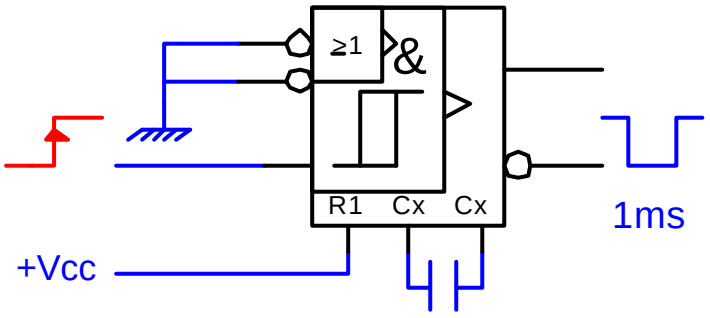
pour $Ct = 0.1\ \mu F$ on a $Rt = 10\ k\Omega$

pour $Rt = 100\ k\Omega$ on a $Ct = 10\ nF$

c) Utilisation d'un circuit TTL spécialisé 74121.

Le 74121 est un monostable-multivibrateur avec bascules de SCHMITT en entrées.

Mise en oeuvre du 74121 pour réaliser un monostable de 1ms à l'état bas déclenché sur front montant.



$R = 2\ k\Omega$

$Tp = 0.7\ Cx\ Rx$

$Cx = Tp / 0.7\ Rx$

$Cx = 0.71\ \mu F$

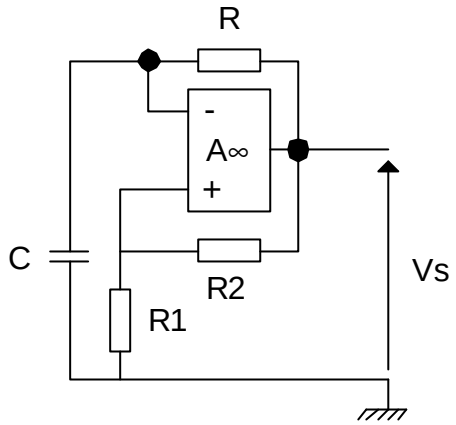
III) Etude des Astables.

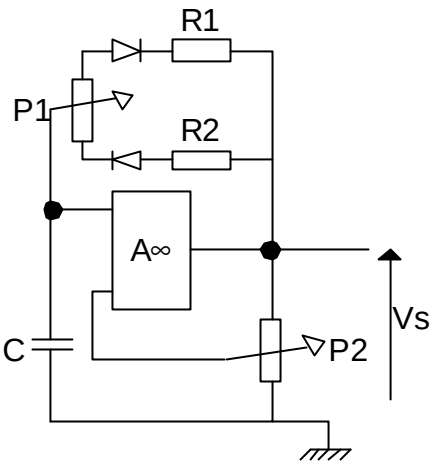
Les astables sont des circuits oscillant en permanence dont la sortie peut être utilisée comme :

Signal d'horloge dans les systèmes numériques.

Ils peuvent être réalisés à partir de composants divers, en fonction de la précision et de la stabilité voulue.

3,1) Oscillateur à amplificateur-opérationnel.





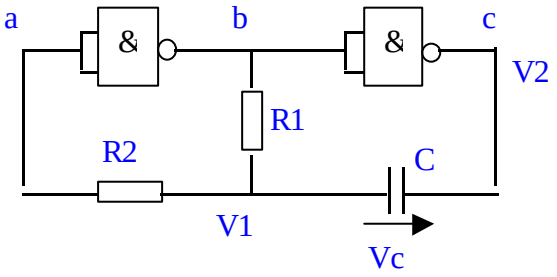
Montages :

$$2\,R\,C\,\ln\,(1\,+\,2\,\frac{R1}{R2})$$

Dans ce montage, on peut régler la fréquence d'oscillation et le rapport cyclique indépendamment ;
P1 agit sur le rapport cyclique ;
P2 agit sur la fréquence.

3,2) Oscillateur à portes logiques TTL ou CMOS.

Montage.



Vc = V2 – V1

donc V1 = V2 -Vc

Fonctionnement :

hypothèse de départ : a = 1 donc b = .0. donc c = .1. et C est déchargé.

La capacité se charge ce qui fait diminuer V_1 et impose en « a » un potentiel inférieur au seuil de basculement.

En TTL : V_{IL} = 0.8 V. En CMOS $V_{TH} = V_{DD} / 2.$.

a = 0 donc b = .1. et c = .0.

En TTL Vc = V_{OH} - V_{IL} = 1.6V. En CMOS Vc = $V_{DD} / 2.$

le changement d'état de c impose brusquement un potentiel en V_1

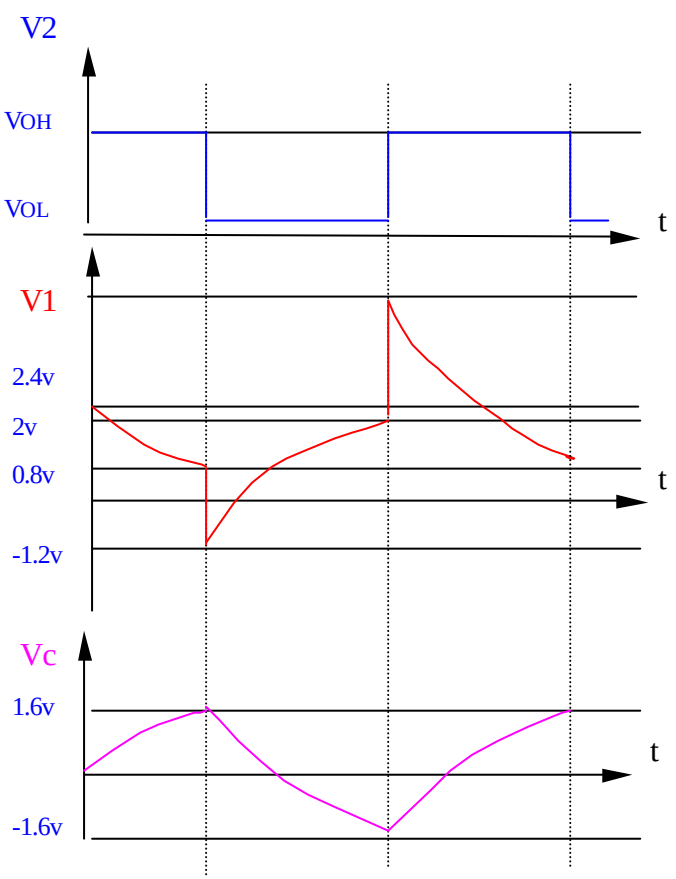
En TTL V_1 = -1,2V. En CMOS V_1 = - $V_{DD} / 2.$

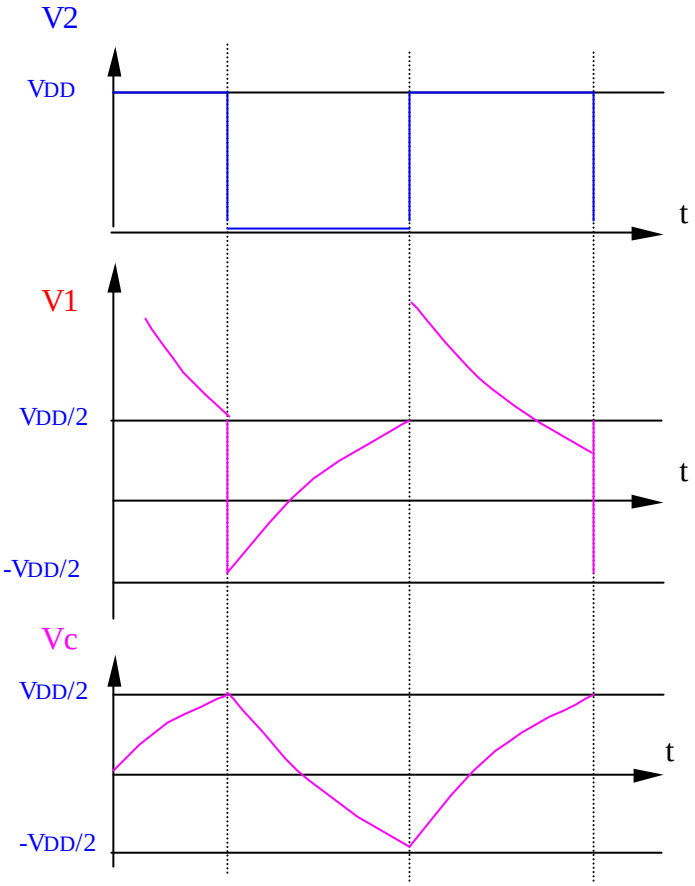
La capacité se charge en sens inverse jusqu'à ce que V_1 atteigne :

. 2V . . en TTL . V_{DD} / 2. en CMOS

A ce moment le système bascule dans l'état d'origine et le cycle recommence.

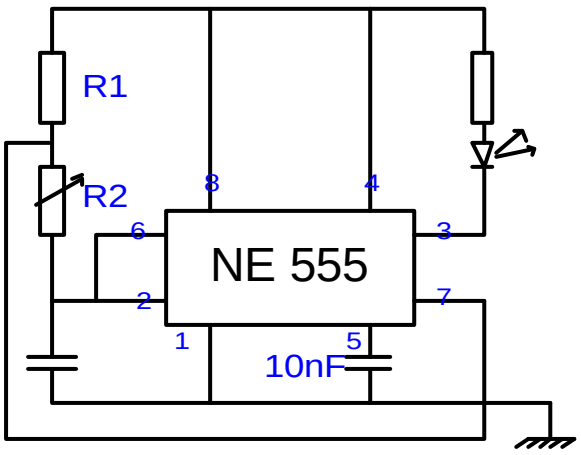
Chronogrammes.





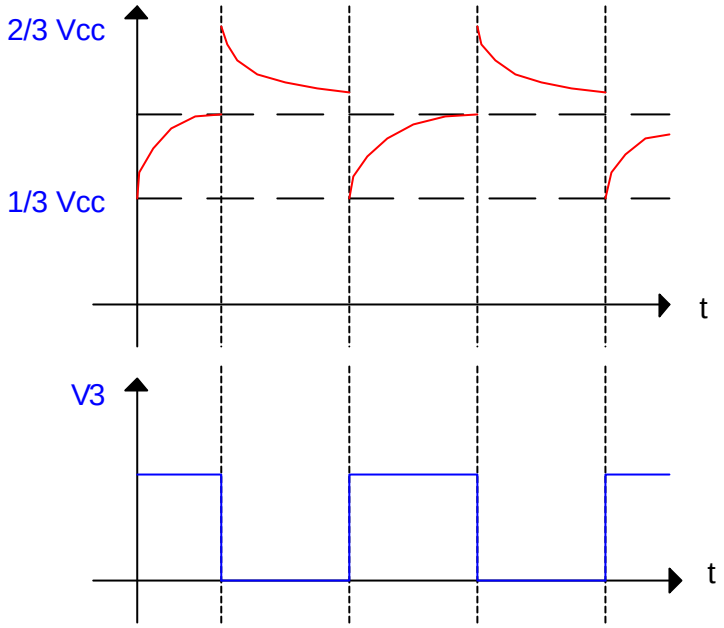
3,3) Oscillateur à circuit intégré spécialisé NE 555.

Montage :



Fonctionnement :

Lorsque le condensateur se charge, sa tension augmente jusqu'à atteindre 2/3 ; Il y a alors basculement et le condensateur se décharge jusqu'à ce que sa tension atteigne 1/3 Vcc.

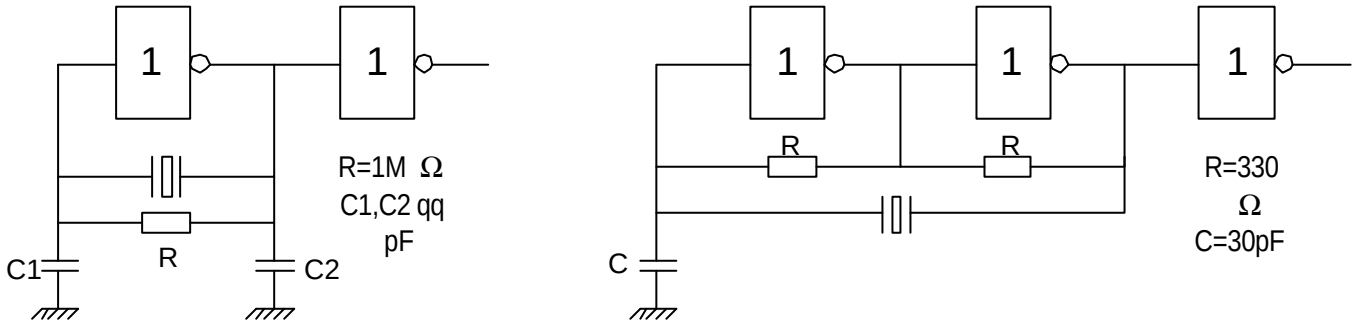


3,4) Oscillateur à Quartz.

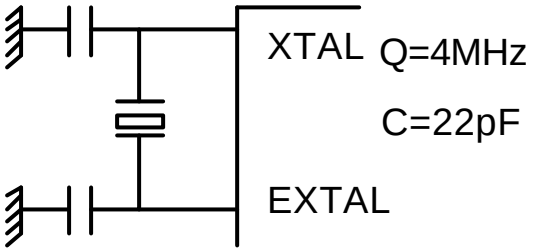
Les oscillateurs à quartz ont une fréquence d'oscillation trés élevée et précise. Ils servent d'horloge pour les systèmes informatiques.

Principe: Soumise à un champ électrique, une mince plaquette de quartz oscille spontanément avec une trés grande précision. L'oscillation doit être entretenue par un circuit extérieur.

Montages : en CMOS en TTL



Pour le microprocesseur 6809.



La précision des quartz étant au minimum de 10^{-6} , les oscillateurs obtenus sont donc trés précis.

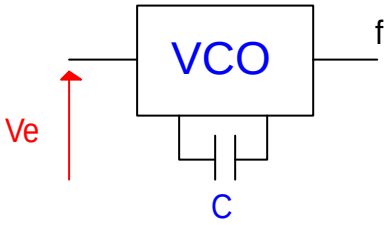
Il existe également des circuits intégrés comprenant un oscillateur Piezo-électrique.

3,5) Oscillateur controlé en tension.

La fréquence d'oscillation de certains oscillateur peut être controlée par une tension;

V C O : Voltage – Controled - Oscillator.

Il existe une relation (linéaire ou non) entre la fréquence de sortie et la tension de commande en entrée.



pour C donnée

f = k Ve si linéaire.

Utilisation : On trouve des convertisseurs de ce type dans les onduleurs.

3,6) Oscillateur à asservissement de phase.

P L L : Phase locked Loop (boucle à verrouillage de phase).

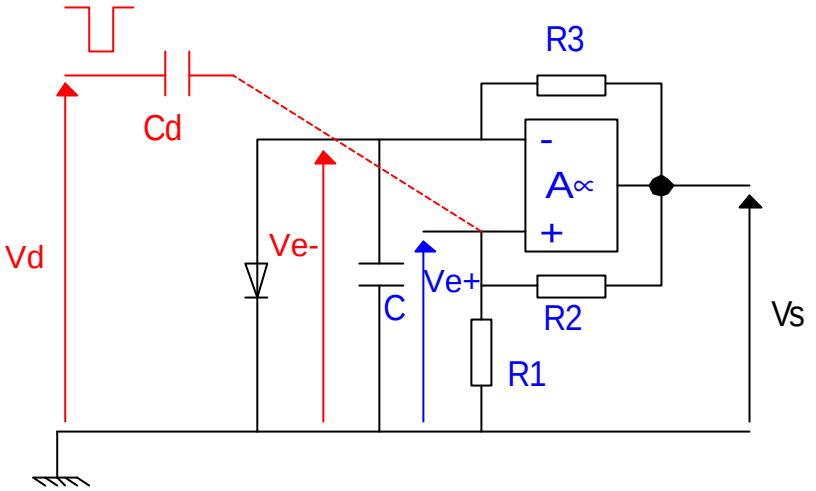
Ce type de circuit permet d'obtenir une fréquence d'oscillation élevée synchronisée sur un signal de fréquence plus faible.

Mise en oeuvre d'un 4046 : On veut disposer d'une fréquence multiple de 25,6 khz et de 150, de plus cette fréquence doit être synchronisée sur le réseau 5O hz

Annexe1.

b) Montage dérivé de l'ASTABLE

Etat stable pour : VS = +Vsat



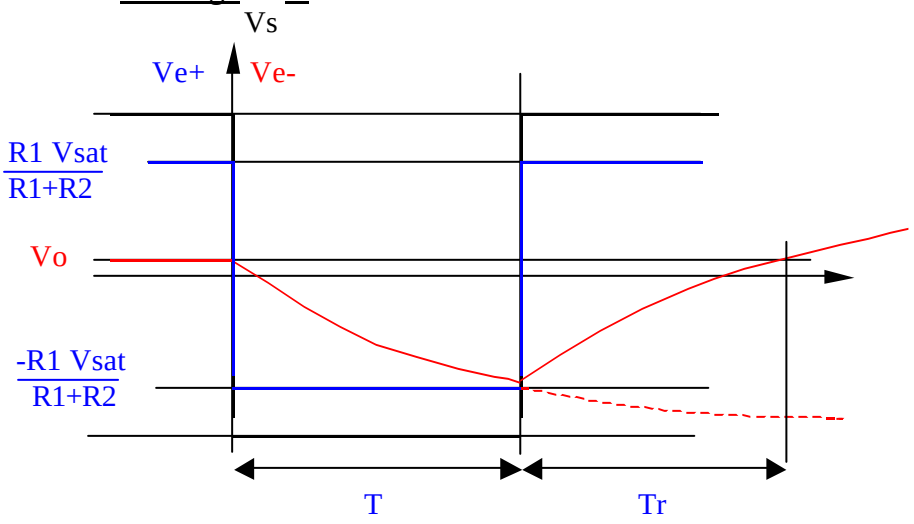
Déclenchement par un circuit dérivateur sur l'entrée e+

il faut : Ve+ < Ve- (φ 0.7 V)

d'ou Vd < | (R1 / R1 + R2) Vsat - Vo |

$$T = R3\,C\,\ln\left[\left(1+\frac{R1}{R2}\right)\left(1+\frac{Vo}{Vsat}\right)\right]$$

Chronogramme



Remarque :

on peut prendre $R_1 = R_2 = R$ on a alors :

$$T = R3\,C\,\ln\left[2+\left(\frac{2Vo}{Vsat}\right)\right]$$